

Data storing method of dynamic RAM and semiconductor memory device

Patent Number: ■ US2002018389
Publication date: 2002-02-14
Inventor(s): ITO YUTAKA (JP); IWAI HIDETOSHI (JP)
Applicant(s): HITACHI LTD (US)
Requested Patent: ■ JP2002056671
Application Number: US20010923405 20010808
Priority Number(s): JP20000245483 20000814
IPC Classification: G11C7/20
EC Classification: G11C11/4093, G11C7/10L, G11C7/10M7, G11C11/406
Equivalents:

Abstract

When a DRAM enters an operation mode in which only a data storing operation is performed, a check bit for error detection and correction for plural data is generated and stored. Refresh operation is performed in a refresh cycle which is made long within an allowable range of an error occurrence by an error correcting operation using the check bit. Before the DRAM returns to the normal operation mode from the data holding operation mode, an error bit is corrected by using the data and the check bit

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-56671

(P2002-56671A)

(43)公開日 平成14年2月22日(2002.2.22)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)	
G 1 1 C 11/406		G 1 1 C 29/00	6 3 1 Z	5 B 0 2 4
11/401		11/34	3 6 3 L	5 L 1 0 6
29/00	6 3 1		3 7 1 C	

審査請求 未請求 請求項の数5 O.L (全 41 頁)

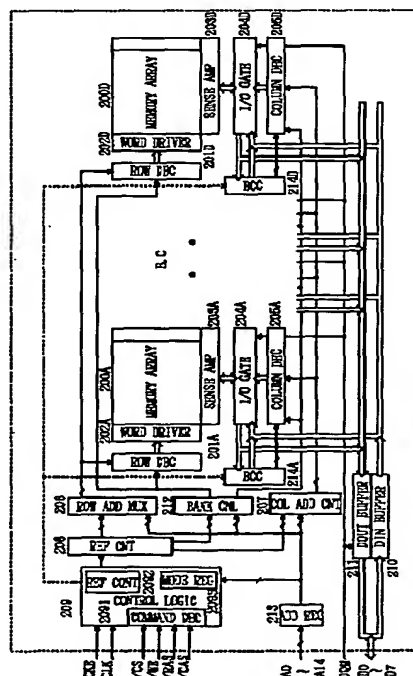
(21)出願番号	特願2000-245483(P2000-245483)	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成12年8月14日(2000.8.14)	(72)発明者	伊藤 豊 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内
		(72)発明者	岩井 秀俊 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内
		(74)代理人	100081938 弁理士 徳若 光政
		Fターム(参考)	5B024 AA01 BA29 DA08 EA07 5L106 AA01 BB12 EE06 FF02 GG03

(54) 【発明の名称】 ダイナミック型RAMのデータ保持方法と半導体集積回路装置

(57) 【要約】

【課題】 消費電流の削減を図ったDRAMのデータ保持方法と半導体集積回路装置を提供する。

【解決手段】 DRAMがデータの保持動作のみを行なう動作モードに入るときに、複数のデータに対して誤り検出訂正用の検査ビットを生成して記憶させ、かかる検査ビットを用いた誤り訂正動作によるエラー発生の許容範囲内でリフレッシュ周期を長くしてリフレッシュ動作を行ない、上記データ保持動作から通常動作に戻る前に、上記データと検査ビットを用いて誤りビットを訂正する。



【特許請求の範囲】

【請求項1】 ダイナミック型RAMがデータの保持動作のみを行なう動作モードに入るときに、複数のデータを読み出して誤り検出訂正用の検査ビットを生成して記憶させる第1動作と、

上記データ及び必要に応じて上記検査ビットを含んでかかる検査ビットを用いた誤り訂正動作によるエラー発生の特許範囲内で長くされた周期により行なわれるリフレッシュ動作と、

上記データ保持動作から通常動作に復帰する前に、上記検査ビットを用いて上記データの誤りビットを訂正する第2動作とを含んでなることを特徴とするダイナミック型RAMのデータ保持方法。

【請求項2】 請求項1において、

上記複数のデータと上記検査ビットはダイナミック型RAMに記憶され、上記検査ビットを用いた誤り検出訂正動作は、内臓の誤り検出訂正回路により行なわれるものであることを特徴とするダイナミック型RAMのデータ保持方法。

【請求項3】 記憶キャパシタとアドレス選択MOSFETからなるダイナミック型メモリセルを含み、他の回路との間で読み出しと書き込み動作を行なわない情報保持モードを有するメモリ回路と、

データ保持制御回路とを備え、

上記データ保持制御回路は、

ECC回路及びリフレッシュ周期設定回路を含み、

上記ECC回路は、上記メモリ回路の情報保持モードに入るのときに起動され、上記メモリ回路に保持された複数のデータを読み出して誤り検出訂正用の検査ビットを生成して記憶させる第1動作と、上記情報保持モードから他の回路との間で読み出し又は書き込み動作が行われる通常動作に復帰するときに起動され、上記メモリ回路に保持された複数のデータと検査ビットを読み出してデータの誤りビットを修正して対応するメモリセルに書き込む第2動作を行ない、

上記リフレッシュ周期設定回路は、上記ECC回路での上記検査ビットを用いたエラー発生の特許範囲内で長くされた周期を設定してリフレッシュ動作を行わせるものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項3において、

上記検査ビットは、上記メモリ回路に含まれるメモリセルに記憶されるものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項3又は4において、

上記ECC回路は、巡回符号を用いて2ビット以上訂正能力を持ち、メモリ回路の1つのワード線の選択動作によって読み出されるメモリセルにおいてデータ及び検査ビットを記憶させ、上記1つのワード線に対応したデータ及び検査ビットの読み出しと書き込みとを行うものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ダイナミック型RAM（ランダム・アクセス・メモリ）のデータ保持方法と半導体集積回路装置に関し、特にダイナミック型メモリセルで構成されたメモリ回路におけるデータ保持技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】本発明を成した後の調査によって、後で説明する本発明に関連すると思われるものとして、特開平11-213659号公報（以下、先行技術1という）、特開平7-262794号公報（以下、先行技術2という）のあることが判明した。先行技術1は、DRAMのリフレッシュサイクル間隔をスリープ状態において最適化するために、エラー訂正復合化回路によって検出された誤り行数を用いて、リフレッシュサイクルの頻度をCPUによるソフトウェアにより制御するというものであり、先行技術2はECC回路をDRAMに内蔵させて、エラー検出し、その訂正データをメモリセルに書き込むようにするものである。これらの先行技術1及び2には、後で説明する本願発明のように簡単な構成で低消費電力化を実現することを示唆するような記載は一切見当たらない。

【0003】

【発明が解決しようとする課題】上記先行技術1や2のように誤り検出を行ない、その訂正データをメモリセルに書き込むようにするものでは、リフレッシュ期間に前者ではソフトウェアを実行するためのCPUの動作が、後者ではECC回路の動作がそれぞれ必須のものとなる。つまり、前記先行技術1及び2においては、リフレッシュ周期を長くさせるためにCPUやECC回路の動作が必要となり、リフレッシュ動作での電流低減分が前記CPUの動作やECC回路の動作による消費電流増加によって相殺されかねないという問題がある。

【0004】この発明の目的は、消費電流の削減を図ったダイナミック型RAMのデータ保持方法と半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。ダイナミック型RAMがデータの保持動作のみを行なう動作モードに入るときに、複数のデータに対して誤り検出訂正用の検査ビットを生成して記憶させ、かかる検査ビットを用いた誤り訂正動作によるエラー発生の特許範囲内でリフレッシュ周期を長くしてリフレッシュ動作を行ない、上記データ保持動作から通常動作に戻る前に、上記データと検査ビットを用いて誤りビットを訂正する。

【0006】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。ダイナミック型メモリセルを含み、他の回路との間で読み出しと書き込み動作を行なわない情報保持モードを有するメモリ回路とECC回路及びリフレッシュ周期設定回路を有するデータ保持制御回路とを備え、ダイナミック型RAMがデータの保持動作のみを行なう動作モードに入るときに、上記ECC回路を用いて複数のデータに対して誤り検出訂正用の検査ビットを生成して記憶させ、上記リフレッシュ周期設定回路により上記検査ビットを用いた誤り訂正動作によるエラー発生の許容範囲内でリフレッシュ周期を長くし、上記データ保持動作から通常動作に戻る前に、上記ECC回路により上記データと検査ビットを用いてデータの誤りビットを訂正する。

【0007】

【発明の実施の形態】図1には、この発明に係るダイナミック型RAM（以下、単にDRAMという）の一実施例の全体ブロック図が示されている。この実施例のDRAMは、SDRAM(Synchronous Dynamic Random Access Memory；以下単にSDRAMという)に向けられている。この実施例のSDRAMは、特に制限されないが、4つのメモリバンク(BANK)に対応して4つのメモリアレイ(MEMORY ARRAY)200A~200Dが設けられる。同図では、そのうち2つのメモリアレイ200Aと200Dが代表として例示的に示されている。4つのメモリバンク0~3にそれぞれ対応されたメモリアレイ200A~200Dは、それぞれがマトリクス配置されたダイナミック型メモリセルを備え、同図のメモリアレイの縦方向に配置されたメモリセルの選択端子はワード線（図示せず）に結合され、横方向に配置されたメモリセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

【0008】上記メモリアレイ200Aの図示しないワード線は行（ロウ）デコード(ROW DEC)201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。行デコード2001Aは、上記デコード結果に従って1本のワード線を選択レベルするワードドライバ(WORD DRIVER)も含まれる。メモリアレイ200Aの図示しない相補データ線はセンスアンプ(SENSE AMP)203A及びカラム選択回路としてのI/Oゲート回路(I/O GATE)204Aと列（カラム）デコード(COLUMN DEC)205Aによって入出力線（I/O線）に結合される。上記I/Oゲートにはメインアンプ及びライトアンプが含まれる。

【0009】センスアンプ202Aは、メモリセルからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるI/Oゲート回路204Aは、上記相補データ線を各別に選択して相補I/O線に導通させるためのスイッチ

MOSFETを含む。カラムスイッチMOSFETはカラムデコード205Aによるカラムアドレス信号のデコード結果に従って選択動作される。

【0010】図示しないメモリアレイ200Bないし200Cも同様に、ロウデコード201B~C、センスアンプ203B~C及びI/Oゲート回路203B~Cとカラムデコード205B~Cが設けられる。上記I/O線は各メモリバンクに対して共通化されて、データ入力回路(DIN BUFFER)210の出力端子及びデータ出力回路(DOUT BUFFER)211の入力端子に接続される。端子D0~D7は、特に制限されないが、8ビットからなるデータD0~D7を入力又は出力するデータ入出力端子とされる。

【0011】アドレス入力端子から供給されるアドレス信号A0~A14は、アドレスレジスタ(ADD REG)213で一旦保持され、時系列的に入力される上記アドレス信号のうち、メモリセルを選択するロウ系アドレス信号はロウアドレスマルチプレクサ(ROW ADD MUX)206を介して、各メモリバンクのロウデコード201A~Dに供給される。上記メモリバンクを選択するアドレス信号は、A13とA14が割り当てられており、バンクコントロール(BANK CNL)回路212に供給され、ここで上記4つのメモリバンクの選択信号が形成される。カラム系アドレス信号はカラムアドレスカウンタ(COLUMN ADD CNT)207に保持される。リフレッシュカウンタ(REF CNT)208は、オートマチックリフレッシュ(Automatic Refresh)の行アドレス及びセルフリフレッシュ(Self Refresh)時の行アドレスと列アドレスを発生する。

【0012】例えば、256Mビットのような記憶容量を持つ場合、カラムアドレス信号としては、×8ビット構成ではアドレス信号A10までが有効とされる。上記カラムアドレスカウンタ208には、前記時系列に入力されるカラムアドレス信号がプリセットデータとして供給され、後述のコマンドなどで指定されるバーストモードにおいて上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、各メモリバンクのカラムデコード205A~205Dに向けて出力する。

【0013】コントロールロジック(CONTROL LOGIC)209は、コマンドデコード(COMMAND DEC)2091、リフレッシュコントロール(REF CONTROL)2092及びモードレジスタ(MODE REG)2093を有する。モードレジスタ2092は、各種動作モード情報を保持する。上記ロウデコード201AないしDは、バンクコントロール回路212で指定されたバンクに対応したもののみが動作し、ワード線の選択動作を行わせる。

【0014】コントロール回路209は、特に制限されないが、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CS（記号/はこれが付された信号がロウイネーブルの信号であることを意味す

る)、カラムアドレスストローブ信号/CAS、ロウアドレスストローブ信号/RAS、及びライトイネーブル信号/WEなどの外部制御信号と、DQMとモードレジスタ2093を介したアドレス信号とが供給され、それらの信号のレベルの変化やタイミングなどに基づいてSDRAMの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、それぞれに信号に対等した入力バッファを備える。

【0015】他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号/CSはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号/CSがハイレベルのとき(チップ非選択状態)やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。/RAS、/CAS、/WEの各信号は通常のDRAMにおける対応信号とは機能が相違し、後述するコマンドサイクルを定義するときには有意の信号とされる。

【0016】クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。なお、リードモードにおいて、データ出力回路211に対するアウトプットイネーブルの制御を行う外部制御信号/OEを設けた場合には、かかる信号/OEもコントロール回路209に供給され、その信号が例えばハイレベルのときにはデータ出力回路211は高出力インピーダンス状態にされる。

【0017】上記ロウアドレス信号は、クロック信号CLK(内部クロック信号)の立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるA0～A12のレベルによって定義される。

【0018】アドレス信号A13とA14は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、A13とA14の組み合わせにより、4つのメモリバンク0～3のうちの1つが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみのデータ入力回路210及びデータ出力回路への接続などの処理によって行うことができる。

【0019】SDRAMにおいては、1つのメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の

動作が可能にされる。したがって、例えば8ビットからなるデータ入出力端子においてデータD0～D7が衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストローブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。

【0020】なお、図示しないが内部電源発生回路が設けられ、電源端子から供給されたVCCとVSSのような動作電圧を受けてワード線の選択レベルに対応した内部昇圧電圧VPP、センスアンプの動作電圧に対応した内部降圧電圧VDL、周辺回路の動作電圧に対応した内部降圧電圧VPERIの他、図示しないがメモリセルのプレート電圧、VDL/2のようなプリチャージ電圧、基板バックバイアス電圧VBBのような各種内部電圧を発生させる。

【0021】この実施例では、DRAMオンチップECCとして巡回符号(Cyclic Code)を適用し、セルフリフレッシュ時のみであるが、リフレッシュ不良の訂正(マスク)によるスタンバイ電流の低減を実現するものである。すなわち、各メモリバンク0～3の各々に対応して、ECC回路(符号化復号回路)214A～Dが設けられる。この実施例では、ECC回路として、巡回符号を適用した場合、ECCを構成するコーダ/デコーダ(CODEC)の回路規模も小さくなるため、符号長が長くともパリティビットを少なくでき、DRAMオンチップECCによる面積デメリットを最小限に抑えられる。

【0022】この実施例では、パリティビットの生成や誤りビットの訂正動作には複数サイクルを必要とするため、応用範囲はデータ保持モードのためのセルフリフレッシュ時に入るときと、かかるセルフリフレッシュモードから通常モードに復帰する際のようにアクセススピードを気にしない場合に限定される。そして、このようなECCの限定的な動作制限によって大幅な低消費電力化を図るようにすることができる。

【0023】つまり、ECC回路214A～Dにより、ポーズリフレッシュ不良ビットを訂正可能であり、データ保持モードでのセルフリフレッシュにおいてはECC回路は動作しない。したがって、エラービットが発生しても、かかるデータ保持モードでのセルフリフレッシュの期間ではそれを訂正することなく放置される。

【0024】この実施例のように256MビットのSDRAM(×8)への適用例では、ECC回路214AないしDは、特に制限されないが、1回でカラムアクセスに従い16ビットを処理し、符号化のときは(最後に)パリティビットを16ビットずつを出力し、復号のときは訂正データ16ビットと誤り位置(カラムアドレス、10ビット)を逐次出力する。(前記のように×8の場

合、I/O幅は8ビットにみえるが、 $\times 4$ 、 $\times 8$ 、 $\times 16$ 品まで共通に設計されているため、16ビット幅まで拡大可能である。また、16ビット幅のとき、カラムアドレスは9ビットであるが、パリティ領域へのアクセスのために、内部で10ビットに拡大される。

【0025】以下、上記ECC回路214AないしDにおける動作手順は次の通りである。

①データ保持モードのためのリフレッシュ動作に入る前に、ECC回路214AないしDにより、全符号（全ビット）に対しパリティビットを演算して書込む。符号語はY方向（同一ワード線上）のビットで構成し、ページ動作を行いながらパリティビットの演算、ライトを行う。例えば、2048ビット（情報ビット）+32ビット（パリティビット）のBCH符号が生成される。

【0026】②OSC周期に従いセルフリフレッシュを実行。ただし、このリフレッシュ周期は訂正能力の範囲まで延長する。このようにECCの訂正能力の範囲までリフレッシュ周期を延長させて設定すると、当然のように落ちこぼれビットでは不良化するビットが発生するが、かかるデータ保持モードでは従来のセルフリフレッシュ同様な動作を行う。つまり、ECC回路によるエラー訂正処理などは行わない。

【0027】③通常オペレーション状態へ戻る前に、不良化したビットの訂正処理を行う。つまり、前記ECC回路を活性化させて、ページ動作を行いながら全符号（全ビット）に対し、訂正データ+誤り位置を演算、不良化したビットに対して訂正ライト動作を行なう。このような①～③の動作は、従来のセルフリフレッシュモードの規格とは異なり、上記ECC回路によるエラー訂正処理を前提として長い周期にされた新モード（データリテンションモード）のセルフリフレッシュとなる。

【0028】図2には、この発明に係るDRAMの他の一実施例の全体ブロック図が示されている。この実施例のDRAMでは、ECC回路がDRAMチップ内に1つだけ設けられる。つまり、前記同様な4つのメモリバンクに対して、上記ECC回路が共通に用いられる。前記図1の実施例では、パリティビットの演算、訂正動作は、コントロールロジックが負担していたが、ここではユーザーのオペレーションにより肩代わりする。

【0029】以下、この実施例のECC回路214による動作手順は次の通りである。①データ保持モードのためのセルフリフレッシュモードにエントリする前に、パリティビット演算モード（新モード）へエントリする。つまり、ECC回路214が活性化され、全符号に対するパリティビット演算、ライト動作をページ動作により実行可とされる。

【0030】②セルフリフレッシュモードにエントリされる。この②セルフリフレッシュでは、OSC周期はECC回路214の訂正能力の範囲で延長される。したがって、前記同様に当然のように落ちこぼれビットでは不

良化するビットが発生するが、かかるデータ保持モードでは従来のセルフリフレッシュ同様な動作を行う。つまり、ECC回路214によるエラー訂正処理などは行わない。

【0031】③セルフリフレッシュモード解除して通常オペレーションに戻る前に、データ訂正モード（新モード）へエントリする。つまり、ECC回路214が活性化され、全符号に対する訂正データ、誤り位置（カラムアドレス）の演算、訂正ライト動作を実行する。

【0032】図3には、この発明に係るDRAMの一実施例の回路図が示されている。同図においては、センスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された回路図が例示的に示されている。この実施例は、センスアンプを中心にして一対の相補ビット線が折り返して平行に延長されるといういわゆる2交点方式に向けられている。同図においては、ワード線はメインワード線MWLとサブワード線SWLからなり、入出力線はローカル入出力線LIOとメイン入出力線MIOからなるようにそれぞれ階層構造とされる。2つのサブアレイ15に上下から挟まれるようにされたセンスアンプ16と交差エリア18に設けられる回路が例示的に示され、他はブロック図として示されている。

【0033】本願において、用語「MOS」は、本来はメタル・オキシド・セミコンダクタ構成を簡略的に呼称するようになったものと理解される。しかし、近年の一般的呼称でのMOSは、半導体装置の本質部分のうちのメタルをポリシリコンのような金属でない電気導電体に換えたり、オキシドを他の絶縁体に換えたりするものも含んでいる。CMOSもまた、上のようなMOSに付いての捉え方の変化に応じた広い技術的意味合いを持つと理解されるようになってきている。MOSFETもまた同様に狭い意味で理解されているのではなく、実質上は絶縁ゲート電界効果トランジスタとして捉えられるような広義の構成をも含めての意味となってきた。本発明のCMOS、MOSFET等は上記のような一般的呼称に習っている。

【0034】ダイナミック型メモリセルは、上記1つのメモリマット15に設けられたサブワード線SWLと、相補ビット線BL、BLBのうちの一方のビット線BLとの間に設けられた1つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと記憶キャパシタCsから構成される。アドレス選択MOSFETQmのゲートは、サブワード線SWLに接続され、このMOSFETQmのドレインがビット線BLに接続され、ソースに記憶キャパシタCsが接続される。記憶キャパシタCsの他方の電極は共通化されてプレート電圧VPLTが与えられる。上記MOSFETQmの基板（チャンネル）には負のバックバイアス電圧VBBが印加される。特に制限されないが、上記バックバイアス電圧VBBは、-1Vのような電圧に

設定される。上記サブワード線SWLの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFETQ_mのしきい値電圧分だけ高くされた高電圧VPPとされる。

【0035】センスアンプを内部降圧電圧VDLで動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧VDLレベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧VPPはVDL+V_{th}+αにされる。センスアンプの左側に設けられたサブアレイの一对の相補ビット線BLとBLBは、同図に示すように平行に配置される。かかる相補ビット線BLとBLBは、シェアードスイッチMOSFETQ1とQ2によりセンスアンプの単位回路の入出力ノードと接続される。

【0036】センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型の増幅MOSFETQ5、Q6及びPチャンネル型の増幅MOSFETQ7、Q8からなるCMOSラッチ回路で構成される。Nチャンネル型MOSFETQ5とQ6のソースは、共通ソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、共通ソース線CSPに接続される。上記共通ソース線CSNとCSPには、それぞれパワースイッチMOSFETが接続される。

【0037】特に制限されないが、Nチャンネル型の増幅MOSFETQ5とQ6のソースが接続された共通ソース線CSNには、特に制限されないが、上記クロスエリア18に設けられたNチャンネル型のパワースイッチMOSFETQ14により接地電位に対応した動作電圧が与えられる。同様に上記Pチャンネル型の増幅MOSFETQ7とQ8のソースが接続された共通ソース線CSPには、上記内部電圧VDLを供給するNチャンネル型のパワーMOSFETQ15が設けられる。上記のパワースイッチMOSFETは、各单位回路に分散して設けるようにしてもよい。

【0038】上記Nチャンネル型のパワーMOSFETQ14とQ15のゲートに供給されるセンスアンプ用活性化信号SANとSAPは、センスアンプの活性時にハイレベルにされる同相の信号とされる。信号SAPのハイレベルは昇圧電圧VPPレベルの信号とされる。昇圧電圧VPPは、VDLが1.8Vのとき、約3.6Vにされるので、上記Nチャンネル型MOSFETQ15を十分にオン状態にして共通ソース線CSPを内部電圧VDLレベルにすることができる。

【0039】上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズMOSFETQ11と、相補ビット線にハーフプリチャージ電圧VBLRを供給するスイッチMOSFETQ9とQ10からなるプリチャージ(イコライズ)回路が設けられる。これらのMOSFETQ9～Q11のゲートは、共

通にプリチャージ信号PCBが供給される。このプリチャージ信号PCBを形成するドライバ回路は、図示しないが、上記クロスエリアにインバータ回路を設けて、その立ち上がりや立ち下がり的高速にする。つまり、メモリアクセスの開始時にワード線選択タイミングに先行して、各クロスエリアに分散して設けられたインバータ回路を通して上記プリチャージ回路を構成するMOSFETQ9～Q11を高速に切り替えるようにするものである。

【0040】上記クロスエリア18には、IOスイッチ回路IOSW(ローカル入出力線LIOとメイン入出力線MIOを接続するスイッチMOSFETQ19、Q20)が置かれる。さらに、前記説明したようにセンスアンプのコモンソース線CSPとCSNのハーフプリチャージ回路、ローカル入出力線LIOのハーフプリチャージ回路、メイン入出力線のVDLプリチャージ回路、シェアード選択信号線SHRとSHLの分散ドライバ回路等も設けられる。

【0041】センスアンプの単位回路は、シェアードスイッチMOSFETQ3とQ4を介して図下側のサブアレイ15の同様な相補ビット線BL、BLBに接続される。例えば、上側のサブアレイのサブワード線SWLが選択されたときには、センスアンプの上側シェアードスイッチMOSFETQ1とQ2はオン状態に、下側シェアードスイッチMOSFETQ3とQ4とがオフ状態にされる。スイッチMOSFETQ12とQ13は、カラム(Y)スイッチ回路を構成するものであり、上記選択信号YSが選択レベル(ハイレベル)にされるとオン状態となり、上記センスアンプの単位回路の入出力ノードとローカル入出力線LIO1とLIO1B、LIO2、LIO2B等とを接続させる。

【0042】これにより、センスアンプの入出力ノードは、上記上側の相補ビット線BL、BLBに接続されて、選択されたサブワード線SWLに接続されたメモリの微小信号を増幅し、上記カラムスイッチ回路(Q12とQ13)を通してローカル入出力線LIO1、LIO1Bに伝える。上記ローカル入出力線LIO1、LIO1Bは、上記センスアンプ列に沿って、つまり、同図では横方向に延長される。上記ローカル入出力線LIO1、LIO1Bは、クロスエリア18に設けられたNチャンネル型MOSFETQ19とQ20からなるIOスイッチ回路を介してメインアンプ61の入力端子が接続されるメイン入出力線MIO、MIOBに接続される。

【0043】上記IOスイッチ回路は、X系のアドレス信号を解釈して形成された選択信号よりスイッチ制御される。なお、IOスイッチ回路は、上記Nチャンネル型MOSFETQ19とQ20のそれぞれにPチャンネル型MOSFETを並列に接続したCMOSスイッチ構成としてもよい。シンクロナスDRAMのバーストモ-

ドでは、上記カラム選択信号YSがカウンタ動作により切り換えられ、上記ローカル入出力線LIO1、LIO1B及びLIO2、LIO2Bとサブアレイの二対ずつの相補ビット線BL、BLBとの接続が順次に切り換えられる。

【0044】アドレス信号Aiは、アドレスバッファ51に供給される。このアドレスバッファは、時分割的に動作してXアドレス信号とYアドレス信号を取り込む。Xアドレス信号は、プリデコーダ52に供給され、メインローデコーダ11とメインワードドライバ12を介してメインワード線MWLの選択信号が形成される。上記アドレスバッファ51は、外部端子から供給されるアドレス信号Aiを受けるものであり、外部端子から供給される電源電圧VDD（又はVCC）により動作させられ、上記プリデコーダは、それを降圧した降圧電圧VPERIにより動作させられ、上記メインワードドライバ12は、昇圧電圧VPPにより動作させられる。このメインワードドライバ12として、上記プリデコード信号を受けるレベル変換機能付論理回路が用いられる。カラムデコーダ（ドライバ）53は、上記VCLP発生回路を構成するMOSFETQ23により動作電圧が形成される駆動回路を含み、上記アドレスバッファ51の時分割的な動作によって供給されるYアドレス信号を受けて、上記選択信号YSを形成する。

【0045】上記メインアンプ61は、前記降圧電圧VPERIにより動作させられ、外部端子から供給される電源電圧VDDで動作させられる出力バッファ62を通して外部端子Dout から出力される。外部端子Dinから入力される書き込み信号は、入力バッファ63を通して取り込まれ、同図においてメインアンプ61に含まれるライトアンプ（ライトドライバ）を通して上記メイン入出力線MIOとMIOBに書き込み信号を供給する。上記出力バッファ62の入力部には、レベル変換回路とその出力信号を上記クロック信号に対応したタイミング信号に同期させて出力させるための論理部が設けられる。

【0046】特に制限されないが、上記外部端子から供給される電源電圧VDDは、3.3Vにされ、内部回路に供給される降圧電圧VPERI2.5Vに設定され、上記センスアンプの動作電圧VDLは1.8Vとされる。そして、ワード線の選択信号（昇圧電圧）は、3.6Vにされる。ビット線のプリチャージ電圧VBLRは、VDL/2に対応した0.9Vにされ、プレート電圧VPLTも0.9Vにされる。そして、基板電圧VBBは-1.0Vにされる。上記外部端子から供給される電源電圧VDDは、2.5Vのような低電圧にされてもよい。このように低い電源電圧VDDのときには、降圧電圧VPERIと降圧電圧VDLを1.8V程度と同じくしてもよい。

【0047】あるいは、外部端子から供給される電源電圧VDDは3.3Vにされ、内部回路に供給される降圧

電圧VPERIとセンスアンプの動作電圧VDLとを同じく2.0V又は1.8Vのようにしてもよい。このように外部電源電圧VDDに対して内部電圧は種々の実施形態を採ることができる。

【0048】図4には、DRAMのリフレッシュ周期とスタンバイ電流の関係を説明するため特性図が示されている。現状のSDRAMのリフレッシュ周期は、落ちこぼれビットのデータ保持特性に合わせて約80msとされ、そのような周期でのリフレッシュ動作での消費電流は約511μA（規格では1mA）と比較的大きくされてしまう。これに対して、本願の適用によって、上記落ちこぼれビットでのエラーはECC回路での訂正能力によりカバーできるため、それを無視した他のメモリセルのデータ保持能力に対応して約1s（秒）のように長くでき、しかもかかるセルフリフレッシュ期間にECC回路が動作しないから消費電流を約87μA（規格では100μA）のように大幅に低減させることができる。

【0049】上記約1秒のようなリフレッシュ周期は、高温時でのデータ保持時間のワーストケースを考慮したマージンを含んでいる。一般的にメモリセルの常温時でのデータ保持時間は、約10秒程度も長いという実力を持っている。そこで、次に説明するような温度管理を精度よく行うことにより、リフレッシュ周期を約10秒程度も長くできるというスーパーロウパワー化も可能とされる。

【0050】以下、本願発明をより具体的に説明する。以下、ECC回路の具体的構成とその動作の説明と、低消費電力化に向けて長周期OSCの構成、これとECC回路とを組み合わせることにより所望の温度依存性の改善を行う例及び待機時電流のさらなる低減（長周期リフレッシュに加えて）として、スリープモード（内部電源停止）が組合せられる。

【0051】この発明が適用されたDRAMにおいて、その使い勝手を良くするために新たなコマンドが追加される。つまり、図5のコマンド真理値図に示したように、256MビットのSDRAMでは、アドレスA8～A12、BA0、BA1を用い、64MビットのSDRAMではアドレスA8～A13を用いて、従来のSDRAMのようなライトモード（Write Mode）に加えて、以下のようなスーパーロウパワーモード（Super Low-Power Mode）が追加される。

【0052】追加されたオペコード（OPCODE#10）はスリープモード（Sleep Mode）であり、スタンバイ電流を決めている内部電源を停止する。このとき、スタンバイ電流は約2μAに達する。このスリープモードの停止、起動内容は、後に図35、図36を用いて説明する。また、このスリープモードのときには、基本OSC（発振回路）も後に図32により説明するセルリークモニタ（Cell-leak Monitor）回路に切り替わる。ここで、#は後の数字が16進数であることを示している。

【0053】追加されたオペコード (OPCODE # 20) は、セルリークモニタモード (Cell-leak Monitor Mode) であり、基本OSC (セルフリフレッシュ時に使用されるOSC) をセルリークモニタ (Cell-leak Monitor) 回路へ切り替える。上記スリープモード (Sleep Mode) のときも同様である。

【0054】追加されたオペコード (OPCODE # 11) は、ECCシンドロームモード (ECC Syndrome Mode) であり、ECC回路を活性化させる。リード (READ) コマンドにより I/O に読み出されたデータを機械的に取り込みシンドローム計算を行う。具体的には、例えば、後述する図19に示されたようなECC回路の例では、信号SがH (ハイレベル) になり、リード (READ) コマンドにより、データの取り込み及び、シフトレジスタの巡回シフトが行われる。情報ビット64ビットを逐次取り込めば、パリティビット8ビットがシフトレジスタに残り符号長72ビットの符号化をしたことになる。情報ビット64ビット及びパリティビット8ビットを逐次取り込めば符号長72ビットのシンドローム計算 (復号の前処理) をしたことになる。

【0055】追加されたオペコード (OPCODE # 21) は、ECCパリティモード (ECC Parity Mode) であり、ECC回路を活性化させる。ライト (WRITE) コマンドによりシフトレジスタの内容が I/O バスへ逐次出力され、指定されたアドレスへ書込まれる。ただし、このとき、データマスク信号DQMによるマスクをすることが必要とされる。データマスク信号DQMによるマスクをしていない場合、通常のライト (WRITE) コマンドと認識され、I/O バッファ (DQピン) からデータを取り込み指定されたアドレスへ書込みを行う。上記オペコード (OPCODE # 11) によるパリティ演算後に行い、パリティビット (検査ビット) をメモリセルへ書込むため使用される。

【0056】具体的には、例えば、前記図19のECC回路の信号PがH (ハイレベル) になり、ライト (WRITE) コマンドによりシフトレジスタの巡回シフトが行われるのみである。このとき信号SはL (ロウレベル) なので、シフトレジスタには0が送り込まれ、I/Oバスへはシフトレジスタの内容が1ビットずつ逐次出力されることになる。

【0057】追加されたオペコード (OPCODE # 31) は、ECCコレクトモード (ECC Correct Mode) であり、ECC回路を活性化させる。シフトレジスタに残されたシンドロームパターンに従い、読み出したデータを逐次訂正処理する。上記OPCODE # 11によるシンドローム計算後に行う。具体的には、例えば、前記図19のECC回路の信号CがH (ハイレベル) になり、リード (READ) コマンドにより、I/Oバスのデータに対しシフトレジスタの残値から訂正処理及び、シフトレジスタの巡回シフトを機械的に行う。誤りがあれば反転

データを I/Oバスへ出力、なければそのまま出力する。この後、ライト (WRITE) コマンドを実行すれば訂正処理されたデータが指定されたアドレスへ書込まれる。ただし、このとき前記ECCパリティモード (ECC Parity Mode) と同様、データマスク信号DQMによるマスクをすることが必要とされる。この信号DQMによりマスクをしていない場合、通常のライト (WRITE) コマンドと認識される。

【0058】上記セルリークモニタ (Cell-leak Monitor) モードでセルフリフレッシュを行えば、実使用下では10秒以上の長周期リフレッシュが実行できる。つまり、後述するセルリークモニタ回路により、チップ温度変化に敏感に応答してメモリセルのデータ保持時間をモニタすることができる。この結果、前記のようなワーストケースを想定した十分なマージンが不要となり、一般的な動作環境のもとでのスリープ (Sleep) モードでセルフリフレッシュを行えば、約10秒以上の長周期リフレッシュが実行される。また、内部回路の動作を停止させることにより、図4の特性図に示したようなDC電流 (I_{DC}) もリフレッシュ周期の長周期化に従い低減される。

【0059】この結果、図4の特性図において、消費電流 I_{CC6} (待機時電流) の点線で示したようにリフレッシュ周期依存性は、ECC回路によりボーズ落ちこぼれビット (Tail-bit) のマスクを行うこと、セルリークモニタ回路による長周期OSCとかかるセルリークモニタ回路での長周期を利用してスリープモードによるDC低減を組み合わせることで、 $10\mu A$ (同図では $3.7\mu A$) のような超低消費電流 (Super Low-Power) が達成できる。このような超低消費電流は、低消費電力版SRAM (スタティック型RAM) に匹敵する。

【0060】図6には、基本OSCの状態遷移図が示されている。ノーマル状態は、RC時定数による遅延回路 (RC-Delay) による発振回路によりリフレッシュ周期が相対的に短く設定され、スリープ状態 (セルリークモニタ) では、セルリークモニタ回路を用いてリフレッシュ周期が相対的に長く設定される。

【0061】図7には、内部電源の状態遷移図が示されている。図7において、フルアクティブ (Full Active)、アクティブ (Active)、スタンバイ (Standby) の3段階で内部電源は供給能力の制御を行っている。ドロウシイ (Drowsy) は、図6の基本OSCによりリフレッシュ動作をするときのみ、電源が上がっている状態とされる。ストップ (STOP) は、完全に停止している状態とされる。ただし、停止できない電源は除かれている。これらのことは、後に図34を参照して説明する。

【0062】図8には、ボーズリフレッシュ特性図が示されている。同図において、横軸はボーズ時間 (PAUSE-TIME)、縦軸は正規化した累積フェイルビット数が示されている。同図において、ノーマルビット (Normal-bi

t)と呼ばれるメジャーな分布と落ちこぼれビット (tail-bit) と呼ばれるマイナー分布が存在する。各ビットのポーズリフレッシュの実力は記憶ノードに寄生している接合リークで決まっており、約3桁のバラツキがある。落ちこぼれビット (tail-bit) 数は約0.0037%程度、64Mビットの場合、約25Kビット。90%以上のビットのポーズ実力は10秒以上あるにも関わらず、わずかな落ちこぼれビットのためにリフレッシュ周期は長くできない。落ちこぼれビット (tail-bit) 数まで含めてこの特性は一般的である。

【0063】図9には、この発明に係るECC適用後のポーズリフレッシュ特性が示されている。例えば、符号長2kの2重訂正で落ちこぼれビット (tail-bit) はマスクでき、リフレッシュ周期は1秒まで延長することができる。この発明のようなECC回路がなければ、せいぜい80ms程度となり、非常にまれなチップとして300ms (L品またはL-Version) のものを選別することができる。

【0064】図10には、ポーズリフレッシュ特性の温度依存性を説明するための特性図が示されている。ポーズリフレッシュ特性には大きな温度依存性があり、低温になると桁で実力は向上する。また、温度依存性 (活性化エネルギー) が落ちこぼれビット (tail-bit) とノーマルビット (normal-bit) とでは2倍ほど違うため、低温になるほどその実力差は広がる。つまり、セルフリフレッシュ時のリフレッシュ周期を温度に応じれ変化させられるだけでも、実効的には大きな低消費電力化が実現できる。また、ECC回路により落ちこぼれビット (tail-bit) をマスクできれば、その効果はさらに増倍することになる。このことに着目して、この発明では、後述するような温度モニタ回路としてのセルリークモニタ回路が有益なものとなる。

【0065】図11には、ポーズリフレッシュ特性の温度依存性の特性図が示されている。横軸は周囲温度の逆数、縦軸は落ちこぼれビット (tail-bit)、ノーマルビット (normal-bit) のワースト値である。温度依存性 (活性化エネルギー) が落ちこぼれビット (tail-bit) とノーマルビット (normal-bit) とでは2倍ほど違う。落ちこぼれビット (tail-bit) $\sim 0.35\text{ eV}$ 、ノーマルビット (normal-bit) $\sim 0.7\text{ eV}$ 。これも一般的な値である。このような落ちこぼれビットとノーマルビットとの違いはキャリア発生機構の違いによると考えられている。

【0066】図33には、キャリア発生機構を説明するための模式図が示されている。ノーマルビット (normal-bit) はSiO₂ (シリコン酸化膜) 界面にできる未結合手 (ダングリングボンド) からなるトラップ単位によるSRH電流 (再結合電流) が支配的になる。特にバンドギャップ中央のエネルギー準位 (再結合中心) による電流は桁で大きく支配的になるため、その活性化エネ

ギーは、約0.6 eV ($\approx E_g/2$, Si (シリコン) の場合 $E_g = 1.1\text{ eV}$) になる。実際に $\sim 0.7\text{ eV}$ と少し大きめの値をとるのは拡散成分、つまり図33(a)も存在するからである。拡散成分の活性化エネルギーは $\sim 1\text{ eV}$ になる。

【0067】それに対し、落ちこぼれビット (tail-bit) は非常にまれに存在する重金属による多重トラップ (正式な名称はなく、ここで仮にこう呼ぶ) によるため、活性化エネルギーは更に低くなるとともに電流も桁違いに大きくなる。実際に0.35 eV程度の値をとる。ここでいう多重トラップとは一つの欠陥により同時にできた複数のトラップ準位を意味する。Si (シリコン) 中のCu (銅) やFe (鉄) などは複数の欠陥準位をつくることが知られている。個々のビットがもつ欠陥の数、準位により接合リーク電流は桁違いの値をとるため、前記図8に示すようにビット個々の実力は大きなバラツキをもつと考えられるのである。ただし、この辺はまだ未解明な部分が多い。

【0068】この実施例のように、落ちこぼれビットをECC回路でマスクする効果は、次の通りである。リフレッシュ周期延長に関する他の設計的アプローチとして、適応リフレッシュあるいは、ランダムビット救済が上げられる。ここで、適応リフレッシュは、ワード線ごとにレーザーフューズ回路 (ROM) を設け、ポーズ落ちこぼれビットを含むワード線はリフレッシュ周期を短く、含まないワード線は長くする制御をセルフリフレッシュ時に行う方式である。こうすることで見かけ上のリフレッシュ周期を長くし、待機時電流を低減する方式である。しかしながら、以下の大きな問題がある。

【0069】前記図4の特性図に示されるように、IC6低減効果は小さい。長周期の周期を長くしすぎた場合、ほとんどのワード線が短周期リフレッシュになり効果がない。逆に長周期と短周期の差が小さすぎても効果がない。つまり、待機時電流が最低値をとるよう、リフレッシュ周期は最適値に設定しなければならないが、ワード線のように大きなビット単位でみると、ポーズ落ちこぼれビット (出現確率0.0037%) は、ほとんどのワード線 (64Mビットの場合16Kビット、階層ワード線方式でのメインワード線なら128Kビットある) に必ず存在しているため、見かけ上はリフレッシュ周期を80msから350ms程度にしか向上できない。これは、ポーズ不良・救済のために、膨大なROW (X系) 救済をもたせた場合と同じことである。

【0070】実際のP (プローブ) 検査工程ではワード線1本ごとにポーズリフレッシュ測定を行い短周期か長周期か切り分けをしなければならない。さらに、その結果からレーザー切断も行わなければならない。現実的には不可能といわざるえない工程増加となってしまう。その上に、ワード線ごとに設けられたレーザーフューズ回路 (ROM) が必要とされ、リフレッシュ制御回路は、

現実的なチップサイズに収まらなくなってしまう。リフレッシュ周期の切換え単位をワード線からメインワード線へ増やせば、上記生産工数の増加やエリアペナルティの問題は軽減されるが、肝心の消費電流 $ICC6$ 低減効果が益々なくなってしまう。

【0071】消費電流 $ICC6$ 低減効果を究極の形に進めるとランダムビット救済になる。ポーズ実力の向上は ECC 内蔵（本発明）に同等にまで可能だが、適応リフレッシュ以上に膨大な救済回路の面積が必要であり非現実的である。さらに、この面積ペナルティの問題が解決できたとしても VRT (Variable Retention Time) と呼ばれる現象に対応できないという本質的な問題が残る。

【0072】VRT (Variable Retention Time) とは、個々のビットのポーズリフレッシュの実力が変動する現象であるが、これは決して特別な現象でない。全ビットのポーズリフレッシュの実力は（厳密には）常に一定というわけではなく、長時間使用されている間に変動するのである。取りうるポーズ実力値から、2つの状態をとるものを2ステート、3つの状態をとるものを3ステートなどと呼ぶ場合があるが、多くは2ステートである。また、変動周期という観点でも、数年間に1度しか変動しないビットから、数秒間に変動するビット（測定するたびに変動しているビット）まで、いろいろある。数秒で実力を変動するようなビットはめったに出現しないが、数年間に1度程度の変動ビットは、ほとんどのチップに存在する。

【0073】長時間信頼度試験の前後で個々のビットのポーズリフレッシュ実力の変動を観測することにより確認されている。その多くは、実力が良い時はノーマルビット (Normal-bit) の実力（例えば11秒）、悪い時は落ちこぼれビット (Tail-bit) の実力（例えば220ms）といった2つの決まった実力値を行ったり来たりするように変動する。この現象から、このようにデータ保持時間が変動するビットをコメットビット (Comet-bit) と呼ぶこともある。

【0074】また、ポーズ実力を決める接合リーク電流は、前記図33に示すような欠陥を介した電流であるため、VRT現象は、何らかの原因でそのトラップ準位が消滅したり現われたりすることがあるために起こると考えられる。例えば、 SiO_2 (シリコン酸化膜) 界面に存在するダングリングボンドの多くは、H (水素原子) により終端されているが、長時間使用することで、その結合エネルギーを越えるエネルギーが加わると、H (水素原子) は離脱し、突然としてトラップ準位が現われることになる。逆に Si (シリコン) 中には H (水素原子) が浮遊しているため、いずれそのダングリングボンドは終端され、突然としてトラップ準位は消滅することになる。

【0075】救済工程以降を考えると、結合エネルギー

を越えるエネルギーは、使用される以前に後工程で加えられることになる。つまり、救済（適応リフレッシュ含む）によるリフレッシュ周期延長は、VRT現象があるため、救済直後は有効に効果を発揮しても、長時間使用している間にいずれポーズ実力が変動するビットが現われ、不良化してしまうことになる。また、完成品を使用する以前に救済工程はウェハ状態でのP検査工程で実施される。そのため、その後の後工程（組立など）で大きな熱ストレスが加わり、組立品を評価する段階で多くは不良化する。したがって、ポーズの落ちこぼれビットをマスクし、リフレッシュ周期延長を図ることが可能なのは原理的に ECC 回路のみといってよい。

【0076】すなわち、ECC回路により落ちこぼれビットをマスクすることで初めてリフレッシュ周期延長を図ることができる。落ちこぼれビットは温度依存性がノーマルビットとは大きく異なり、活性化エネルギーで2倍ほども違う。しかも出現確率が0.01%以下であるため、それをモニタすること、言い換えるならば、落ちこぼれビットに対応したリーク源として安定してつづることができない。ECC回路により落ちこぼれビットをマスクすることで、ノーマルビットの特性を反映したセルリークモニタ回路を利用することができ、ノーマルビットの特性を反映したセルリークモニタ回路と ECC 回路との組み合わせにより、上記リフレッシュ周期延長を図ることができる。

【0077】図12には、 t 重訂正符号 (BCH符号) のポーズ不良ビット訂正能力を説明するための特性図が示されている。落ちこぼれビット (tail-bit) をマスクするには、符号長 $2k$ 、2重訂正以上あればよい。余裕をとって符号長 $4k$ 、4重訂正あたりがベターである。また、符号長 (n) を伸ばすに従い、訂正ビット数 (t) も比例して増やしたほうが訂正能力は上がることもわかる。このとき、パリティビットはあまり増加しないで済む。このことは、次の図13から理解されよう。ただし、回路規模（計算量）は、 $n \times t$ に比例して増加するため、許容されるチップサイズ増加から限界は定まる。

【0078】図13には、 t 重訂正符号 (BCH符号) の情報ビット長 (k) とパリティビット ($n-k$) の関係を説明するための特性図が示されている。冗長救済のため、もともと冗長ビットは2%程度もっている。付加するパリティエリアのサイズはこの辺がしきい値になる。例えば、符号長 $4k$ の4重訂正 (パリティビット53ビット/ $4k$) または、符号長 $2k$ の2重訂正 (パリティビット24ビット/ $2k$) の BCH符号は、この条件を満足している。

【0079】図14と図15には、(72, 64) 符号（修正ハミング符号、1ビット訂正2ビット検出）の生成行列、検査行列の一例のビットパターン図が示されている。同図から理解されるように、 8×8 行列を巡回置

換したものが繰り返し存在しているのが分かる。また、検査行列は生成行列に単位行列を足すだけでよい。このような構成のとき、 8×8 行列の計算回路を持ち、繰し実行すればよい。同図において、Xは送信語、Yは受信語、Pは検査ビット、Sはシンドローム、Gは生成行列、Hは検査行列である。

【0080】図14にパリティビットの計算例、図15にシンドロームの計算例が示されている。いずれも、ほとんど同じ演算であることがわかる。要するに、シンドロームの計算時はパリティビットを含めて行列計算するだけである。シンドロームと誤り位置は1対1に対応するので、シンドロームデコーダーにより誤りを訂正（データ反転処理）すればよい。

【0081】図16には、この発明に用いられるECC回路の一実施例の概略回路図が示されている。この実施例は、前記図14及び図15の実施例に対応し、修正ハミング符号（72, 64）符号のECC回路（符号化復号回路）に向けられている。256MビットのSDRAM（ $\times 8$ ）に適用した場合、以下3モードのとき、YアドレスはY9まで拡大される。Y9=Hはパリティビットエリアとされる。REG1は、カラムアドレスラッチであり、REG2はデータ入力レジスタであり、REG3はデータ出力レジスタである。

【0082】このECC回路において、ECCシンドロームモード（ECC Syndrome Mode）のとき、信号S1=H（ハイレベル）とされる。ただし、読み出し先のアドレスがパリティビットであれば（Y9がH（ハイレベル）であるか否か）、信号S2=H（ハイレベル）とされる。また、ECCパリティモード（ECC Parity Mode）のとき、信号P=H（ハイレベル）にされる。シフトレジスタ全て（8ビット）を同時にデータ出力レジスタREG3に出力する。さらに、ECCコレクトモード（ECC Correct Mode）のとき、信号C=H（ハイレベル）とされる。シンドロームデコーダーにより訂正データをI/Oバスを介してデータ出力レジスタREG3に出力する。

【0083】訂正動作において、シンドロームデコーダーはシンドロームパターンに従い誤りデータのYアドレスを出力する。リード（READ）コマンドによりそのデータを読み出して、既に誤り位置がH（ハイレベル）とされているので（8ビット中いずれのビットか）、訂正されたデータがI/Oバスへ出力され、上記データ出力レジスタREG3に取り込まれ、ライト（WRITE）コマンドにより訂正データがメモリアレイへリライト（RE-WRITE）される。

【0084】図17には、この発明に用いられる符号長255ビットの巡回ハミング符号の復号回路の一実施例の概略回路図が示されている。この実施例の巡回ハミング符号における生成多項式は、 $G(x) = x^8 + x^4 + x^3 + x^2 + 1$ とされる。I/Oバスの1ビットごとに1機（1回路）設けられる。I/Oバスが $\times 4$ ビット

なら4回路、 $\times 8$ なら8回路設けられる。なお、1機（回路）で対応するには、パラレルシリアル変換回路をI/Oバスと本回路の間に設けるようにすればよい。

【0085】この実施例回路において、ECCシンドロームモード（ECC Syndrome Mode）のとき、信号S=H（ハイレベル）とされる。また、ECCコレクトモード（ECC Correct Mode）のとき、信号C=H（ハイレベル）とされる。上記いずれのモードのときもアドレス空間はパリティビットエリアまで拡大される。これは前記図16の実施例と同じである。

【0086】図18には、この発明に用いられる符号長255ビットの巡回ハミング符号の符号化回路の一実施例の概略回路図が示されている。この実施例の生成多項式は、 $G(x) = x^8 + x^4 + x^3 + x^2 + 1$ である。前記同様にI/Oバスの1ビットごとに1機設ける例が示され、 $\times 4$ ビットなら4機、 $\times 8$ ビットなら8機設けられる。前記同様に、1機で対応するには、パラレルシリアル変換回路をI/Oバスと本回路の間に設ければよい。

【0087】この実施例回路において、ECCシンドロームモード（ECC Syndrome Mode）のとき、信号S=H（ハイレベル）とされる。また、ECCパリティモード（ECC Parity Mode）のとき、信号P=H（ハイレベル）とされる。上記いずれのモードのときもアドレス空間はパリティビットエリアまで拡大される。これは前記図16の実施例と同様である。

【0088】図19には、この発明に用いられる符号長255ビットの巡回ハミング符号のECC回路（符号化復号回路）の一実施例の概略回路図が示されている。この実施例の生成多項式は、 $G(x) = x^8 + x^4 + x^3 + x^2 + 1$ である。前記同様にI/Oバスの1ビットごとに1機設ける例が示されている。I/Oバスが $\times 4$ ビットなら4機、 $\times 8$ ビットなら8機設けられる。前記図17、図18の実施例から分かるように、符号化回路、復号回路はほとんど同じ構成であり、ここで示したようにほとんど共用することができる。

【0089】この実施例回路において、ECCシンドロームモード（ECC Syndrome Mode）のとき、信号S=H（ハイレベル）とされる。また、ECCパリティモード（ECC Parity Mode）のとき、信号P=H（ハイレベル）とされる。そして、ECCコレクトモード（ECC Correct Mode）のとき、信号C=H（ハイレベル）とされる。上記いずれのモードのときもアドレス空間はパリティビットエリアまで拡大される。これは前記図16の実施例と同様である。

【0090】符号長は短縮化が可能であり、図16の回路は逆に符号長を最大255ビットまで対応できるということが出来る。例えば、64ビットの情報ビットを取り込めば、符号長72ビット（パリティ8ビット）に対する符号化をしたことになり、64ビットの情報ビット

及びパリティビット8ビットを取り込めば、符号長72ビットに対して復号をすることになり、図16に示した(72, 64)符号と同等の機能を有することになる。つまり、この回路方式の場合、回路規模を大幅に低減できるだけでなく、符号長を変えることで訂正能力を自由に換えられるのである(パリティビットは8ビット固定)。なお、BCH符号(7重訂正)の場合も基本的な回路構成は同じである。ここでは簡単のため、巡回ハミング符号で説明している。

【0091】図20には、この発明に用いられる符号長32767ビットの巡回ハミング符号のECC回路の一実施例の概略回路図が示されている。この実施例での生成多項式は、 $G(x) = x^{16} + x^{12} + x^5 + 1$ とされる。この生成多項式は、CCITT(国際電信電話諮問委員会)の勧告によるものである。この回路であれば、符号長4kビット、2kビットへも自由に対応でき、パリティビットの節約もできる(パリティビットは16ビット固定)。

【0092】この発明に用いられるECC回路の他に有効な巡回符号として、ファイア符号(Fire code)が上げられる。ファイア符号はほとんど同じ回路構成で作成でき、バースト誤りの訂正が可能である。つまり、ボーズ試験によりノーマル試験では見えなかったビット線不良やワード線不良が現われても訂正可能となる。ただし、ハミング符号に比較してパリティビットは増加する。ボーズ不良ビット、特に落ちこぼれビットは全てフィジカル1フェイルであることから、ボーズ不良は一方向誤り(unidirectional error)である。

【0093】このことから、エラー検出能力を上げるために、バーガー符号(Berger code)を組み合わせて使い、 t 個までの対称誤りを訂正し、すべての一方向誤りを検出する t -EC/AUDE符号(t -error-correcting code/all-unidirectional-error-detecting code)を構成することも有効である。上記ファイア符号に関する文献として、Fire P., "A Class of Multiple-Error-Correcting Codes for Non-Independent Errors", Sylvania Report RSL-E-2, Sylvania Electric Defense Lab. Mountain View, Calif. (1959)があり、上記バーガー符号に関する文献として、Berger J.M., "A Note on Error-Detecting Codes for Asymmetric Channels", Inform. and Control, Vol. 4, pp. 68-73 (1961)がある。

【0094】図21には、この発明に係るSDRAMのリフレッシュ動作の一実施例のタイミング図が示されている。この実施例では、従来のSDRAMと同様にノーマルオペレーション状態からセルフリフレッシュに入る前に、前処理として(1)全リフレッシュを行う。これにより、全ビットの記憶電荷量を揃えるようにする。そして、(2)セルフリフレッシュモード開始、(3)セルフリフレッシュ状態に移行する。このセルフリフレッシュ状態からノーマルモードに復帰する際には、セルフ

リフレッシュモード終了させ、後処理として(5)全リフレッシュを実施して、ノーマルオペレーションに復帰する。この機能は、従来のメモリシステムに搭載されたときに使用する上で有益である。

【0095】図22～図24には、この発明に係るECC回路を用いたダイナミックRAMのデータ保持方法を説明するためのタイミング図が示されている。この実施例は、256MビットのSDRAM(×4)への適用例が示されている。ECC回路は、前記図19の巡回ハミング符号(72, 64)符号をY方向に構成し、パリティビットはY方向に増設される(図27参照)。

【0096】図22において、ノーマルオペレーション状態からこの発明に係るスーパーロウパワーモードによるセルフリフレッシュに入る前に、前処理として①全ビットリフレッシュを行う。これにより、全ビットの記憶電荷量を揃えるようにする。この後に②ECCシンドロームモードを実施する。この②ECCシンドロームモードでは、リード(READ)コマンドにより1ビットずつ全部で64ビット読み出す。③ECCパリティモードで生成された8ビットの検査ビットをライト(WRITE)コマンドによりY方向に増設された記憶エリアに書き込む。

【0097】上記②ECCシンドロームモードと③ECCパリティモードを交互に繰り返して、全ビットを符号化する。図23において、全データエンコード終了となると、セルフリフレッシュモードを起動して前処理終了させ、セルフリフレッシュモード開始させ、④スーパーロウパワーモードでのセルフリフレッシュを実施する。このスーパーロウパワーモードでリフレッシュ周期は、セルリークモニタ回路で周期が制御されるが、常温時では約10前後と長い周期とされる。このとき、集中リフレッシュが実施され、全ビットのリフレッシュが終了して、次の集中リフレッシュが開始されるまでの間、不必要な内部回路の電源が遮断される。上記の④スーパーロウパワーモードでのセルフリフレッシュでは、落ちこぼれビットではエラーが発生するが、そのまま放置される。

【0098】上記④スーパーロウパワーモードからノーマルモードに復帰する際には、⑤ECCシンドロームモードが開始される。この後処理開始時には、パワーオン時間 t_{PON} が設定されて、内部回路が通常動作を行うに必要な電源供給動作時間が設けられる。なお、④スーパーロウパワーモードに代えて、セルリークモニタ回路を用いない約1秒程度にリフレッシュ周期が設定されたセルフリフレッシュを実施したなら、上記内部回路を電源はそのままにしておくので、上記パワーオン時間 t_{PON} の設定は不要である。

【0099】このパワーオン時間 t_{PON} 経過後に、リード(READ)コマンドにより72ビットを読み出し、⑥ECCコレクトモードに入る。この⑥ECCコレクトモードでは、リード(READ)コマンドとライト(WRITE)コマンドにより、前記落ちこぼれビットの誤り訂正を行う。

このようにして全ビットを復号する。ここで、図22及び図23、図24における符号化や復号化において、全ビットの符号あるいは復号中にデータがポーズ時間で破壊されるのを防ぐために、適宜に分散リフレッシュが挿入される。図24において、後処理終了の後にノーマルオペレーションが可能とされる。

【0100】図25には、この発明に係るECC回路を用いたダイナミックRAMのデータ保持方法を説明するためのタイミング図が示されている。この実施例は、256MビットのSDRAM(×4)への適用例が示されている。ECC回路は、前記図19の巡回ハミング符号(72, 64)符号をX方向に構成し、パリティビットはX方向に増設される(図28参照)。

【0101】この実施例では、ECC回路へのデータ取り込みをXスキャンで行えばよい。手順は前記図22～図24の実施例と全く同じである。ただし、Xスキャンの場合はリフレッシュが自然に入るので、全ビットの符号あるいは復号中にデータがポーズ時間で破壊されるのを防ぐための分散リフレッシュが不要となる。

【0102】前記図22～図25の動作説明において、256MビットのSDRAM(×4)への適用例としたが、×4、×8、×16を共用でメモリチップ設計するケースが多いため、いずれの語構成の場合でも前記ECCシンドロームモード、ECCパリティモード、ECCコレクトモードの3モード中は×4モードになるとすれば全ての場合に対応することができる。この構成では、語構成に応じて、搭載するECC回路を変更する必要もないし、DQピンが足りなくなることもない。

【0103】図26には、この発明に係るECC回路を用いたダイナミックRAMのデータ保持方法を説明するためのタイミング図が示されている。この実施例は、256MビットのSDRAM(×8)への適用例が示されている。ECC回路は、前記図16の修正ハミング符号(72, 64)をY方向に構成し、パリティビットはY方向に増設される(図27参照)。

【0104】この実施例においても、基本的には前記図22～24の実施例と全く同じ手順とされる。ただし、本実施例のECC回路(1機)は8ビットを1サイクルで処理するため、以下の点が異なる。(1)64ビットのデータを取り込むのに8サイクルで済むのに対して、前記図22～24の実施例では64サイクル必要となるものである。(2)ECCコレクトモード(ECC Correct Mode)のとき、Yアドレスは入れても無効とされる。また、2サイクルのリード(READ)及びライト(WRITE)で処理が成される。

【0105】図27には、この発明に係るDRAMの一実施例のメモリエリア利用図が示されている。この実施例では、検査ビットの領域がY方向に増設される。これは、前記図22～図24の実施例に対応している。

【0106】図28には、この発明に係るDRAMの他

の一実施例のメモリエリア利用図が示されている。この実施例では、検査ビットの領域がX方向に増設される。これは、前記図25の実施例に対応している。

【0107】図29には、この発明に係るDRAMの他の一実施例のメモリエリア利用図が示されている。この実施例では、検査ビットがY方向に増設される。この実施例では、8ビット単位での処理が行われる前記図26の実施例に対応している。

【0108】図30には、この発明に係るSDRAMの更に他の一実施例のメモリエリア利用図が示されている。この実施例では、積符号(product code)の適用例であり、ECC回路は、前記図20(巡回ハミング符号)、(2064, 2048)符号をX、Y方向に構成する例に向けられている。

【0109】パリティビットはX、Y方向それぞれに増設される。ハミング符号だけでは1ビット訂正(最小距離3)だが、このように積符号として使用すると最小距離は2つの符号の積、つまり9となり符号長4kビットの4重訂正と同等の訂正能力を得る。4重訂正のBCH符号をまともに搭載するより、回路規模を節約することができ、パリティビットはほぼ同じで済む。この場合、ECC処理(符号化・復号)に要するサイクル数が増加することになるが、待機時間はECC処理時間に比べれば十分に長いので問題はないと考えられる。このような積符号では、ワード線不良、ビット線不良といったバーストエラーも訂正可能である。

【0110】図31には、この発明に用いられるセルリークモニタ回路に用いられる電圧設定回路の一実施例の回路図が示されている。この実施例では、直列抵抗回路の各抵抗を短絡させるスイッチMOSFET Q10～Q18、Q20～Q27を設けて、トリミング信号TRM1(0～7)、TRM2(0～7)により、スイッチ制御が行われる。上記トリミング信号TRM1(0～7)、TRM2(0～7)は、特に制限されないが、レーザー光線等を用いたヒューズの切断により形成される。

【0111】上記スイッチ制御により、電源電圧VCCと回路の接地電位間に挿入される抵抗の数を選択し、そこに流れる電流を調整し、Pチャンネル型MOSFET Q18と、Nチャンネル型MOSFET Q28のゲート、ソース間電圧VPとVNを発生させ、電流ミラー回路によりPチャンネル型の電流源MOSFET及びNチャンネル型の電流源MOSFETの電流設定を行う。電圧VRは、セルリークモニタのための基準電圧であり、電圧VCELLはキャパシタに書き込まれる入力電圧とされる。

【0112】図32には、この発明に用いられるセルリークモニタ回路を用いた発振回路の一実施例の回路図が示されている。接合リーク源をメモリセルサイズで作成するものである。ただし、1ビットのみだと、前記図8に

示す通り、接合リーク電流は桁でバラツクため、トリミング手段を用いて調整することは困難である。セルリークモニタ回路では、少なくとも10ビット以上を並列に接続し、50%フェイル付近のPN接合リーク特性を得られるようにされる。周期調整は、前記図31の電圧VCELL（書込み電圧）、電圧VR（比較電位）、接続するセル数、寄生させる容量により行うことができる。

【0113】キャパシタC30（C31）の電圧が基準電圧VRより低くなると、電圧比較回路のMOSFET Q30がオン状態となり、インバータ回路N30と31を通した出力信号OSCをハイレベルにする。これを後述するパワーオン信号PONのハイレベルによりゲートを開くアンドゲート回路を通して遅延回路Delyに伝え、インバータ回路N32によりロウレベルの信号を形成する。このロウレベルの信号は、MOSFET Q35～Q39からなるレベルシフト回路により昇圧電圧VPP（ワード線の選択レベル）までレベルアップされて、ダミーセルを構成するスイッチMOSFETのゲートに伝え、これらのMOSFETをオン状態にする。

【0114】これにより、上記MOSFETのオン状態により上記電圧VCELLが上記キャパシタC30に書き込まれる。この結果、電圧比較回路と上記インバータ回路N30と31を通した出力信号OSCがロウレベルとなり、上記アンドゲート回路の出力信号をロウレベルとし、遅延回路Delyにより遅延時間の後にインバータ回路N32の出力信号がハイレベルとなってレベルシフト回路の出力信号をロウレベルとして上記スイッチMOSFETをオフ状態にするので、キャパシタC30の蓄積ノードがフローティング状態となり、電荷保持状態となる。この電荷は、メモリセルと同様な上記スイッチMOSFETのソース、ドレイン接合リークによって放電される。

【0115】このセルリークモニタ回路では、余計なPN接合は寄生させてはならない。なぜなら、そのPN接合はリーク源になるため、温度依存性を狂わす原因になるからである。上記パワーオン信号PONのハイレベルにより内部電源・立ち上がり完了を確認して、つまり、上記レベルシフト回路の動作電圧VPPが所望の高電圧に到達するまでの内部電源が立上りを待って、接合リーク源であるキャパシタC30への再書込みが行われる。これにより、スリープモード（Sleep Mode）でも適用可能になる。

【0116】セルリークモニタ回路は、ECC回路により落ちこぼれビットをマクスすることで初めて実現可能になる。落ちこぼれビットは温度依存性がノーマルビットとは大きく異なる。活性化エネルギーで2倍ほど違う。しかも出現確率が0.01%以下であるため、リーク源として安定してつくることができない。図32に示すような工夫を施しても、落ちこぼれビットに対しては意味がない。ECC回路により落ちこぼれビットをマク

スすることで、セルリークモニタ回路がノーマルビットの特性を反映すればよくなる。したがって、図32のようなセルリークモニタ回路は、ECC回路との組み合わせによりはじめてリーク源としての意義が生じるものとなる。

【0117】図33には、キャリア発生機構の模式図が示されている。（c）落ちこぼれビット（Tail-bit）の支配要因が示され、（b）ノーマルビット（Normal-bit）の支配要因が示されている。

【0118】図34には、この発明に係るセルリークモニタ方式の一実施例の基本OSC動作波形図が示されている。リフレッシュパルスOSCのハイレベルへの立ち上がりにより、内部電源START-UP信号により内部電源・立ち上げを指示し、その立ち上げのために設定された時間tPONの後に、全ビット・集中リフレッシュ動作を実施すると並行して、前記図32のようなセルリークモニタ回路のキャパシタC30へのチャージアップが行われる。

【0119】この集中リフレッシュのためのパルスOSC2は、別に設けられたRC時定数回路を用いたリングオシレータ等により形成される。この集中リフレッシュが終了すると、内部電源STOP信号により内部電源のうちデータ保持動作に支障の無い回路の電源電圧を遮断してしまう。以下、上記のようなセルリークモニタ回路を利用した発振信号OSCにより、常温時では約10程度になる長いリフレッシュ周期に同期して、上記内部電源立ち上げ、集中リフレッシュ、内部電源立ち下げの動作が繰り返して行われる。

【0120】図35には、この発明に係るDRAMにおけるスリープモード（スーパローパワーモード）時の内部電源制御動作を説明するための波形図が示されている。この実施例での特徴は以下の2点にある。（1）プレート電圧VPLTは立ち下げない。これは、プレートバンパによりデータを破壊されるのを防止するためである。（2）ワード線昇圧電圧VPPは、ワードドライバ制御回路の電源（VPERI、VDLA）が立上がった後で上げる。また、ワードドライバ制御回路の電源（VPERI、VLDA）を立下げの前に下げる。これはワード線ノイズによるデータ破壊を防ぐためである。

【0121】内部電圧VDLAは、メモリアレー系の内部降圧電源～1.8Vであり、立ち下げ可能な電圧である。これに対して、内部電圧VDLBは、周辺回路系の内部降圧電源～1.8Vであり、基本OSCに使用するなど、立ち下げ不可能な電圧である。VPERI2は、周辺回路でも立ち下げ可能な回路への供給電圧であり、～2.4Vのような電圧である。特に制限されないが、VPPは～3.4Vであり、VPERIは～2.4Vであり、VBLR=VPLT=VDL/2は～0.8Vである。

【0122】DRAMは、素子の微細化等において記憶

キャパシタの容量値を稼ぐため、容量膜が薄膜化されており、容量膜の耐圧、信頼度に対しマージンは少ない。上記プレート電圧 V_{PLT} を V_{SS} とすれば電源停止によりプレートパンプせずに済むがハイレベル(H)データを保持しているとき、容量膜の信頼度が桁で低下(プレートリークも増加)してしまう。また、最近のデバイスは高ドーズ化しているため、基板効果は小さく、自然に負電位から0Vへ浮いても実害はない。そこで、この実施例のように $V_{BB}=V_{SS}$ とすることで低消費電力化している。

【0123】図36には、この発明に係るDRAMに設けられる内部降圧電源の一実施例の回路図が示されている。この内部降圧電源では、基準電圧 V_R と出力電圧 V_{DL} (V_{PERI})を比較し、両者が一致するよう制御するボルテージフォロフ回路を構成するものである。上記基準電圧 V_R が、所望の電圧 V_{DL} や V_{PERI} に設定される。

【0124】信号ACTでMOSFETQ44~Q49からなる差動アンプの電流源を制御し、信号ACTがハイレベル(H)のときにはアクティブ状態とされ、MOSFETQ45により相対的に大きな電流を流すようにしてレスポンス特性を早くするが、その反面ではDC電流の消費が大きい。これに対して、信号ACTがロウレベル(L)のときはスタイバイ(Standby)状態とされ、MOSFETQ44により相対的に小さな電流を流すようにしてレスポンス特性が遅いが、反面ではDC電流の消費が小さくされる。そして、信号ONのロウレベルにより、差動アンプ、出力のPチャンネル型MOSFETQ51も非活性化して、スリープモード(Sleep Mode)状態とする。

【0125】上記の実施例から得られる作用効果は、下記の通りである。

(1) DRAMがデータの保持動作のみを行なう動作モードに入るときに、複数のデータに対して誤り検出訂正用の検査ビットを生成して記憶させ、かかる検査ビットを用いた誤り訂正動作によるエラー発生の特許範囲内でリフレッシュ周期を長くしてリフレッシュ動作を行ない、上記データ保持動作から通常動作に戻る前に、上記データと検査ビットを用いて誤りビットを訂正することにより、落ちこぼれビットでのエラーは訂正可能となるからリフレッシュ周期を長くでき、しかもECC動作を行わないから大幅な低消費電力化を図ることができるという効果が得られる。

【0126】(2) 上記に加えて、上記複数のデータと上記検査ビットをダイナミック型RAMに記憶し、上記検査ビットを用いた誤り検出訂正動作を、内蔵の誤り検出訂正回路により行うようにすることにより、使い勝手のよくすることができるという効果が得られる。

【0127】(3) ダイナミック型メモリセルを含み、他の回路との間で読み出しと書き込み動作を行なわ

ない情報保持モードを有するメモリ回路とECC回路及びリフレッシュ周期設定回路を有するデータ保持制御回路とを備え、ダイナミック型RAMがデータの保持動作のみを行なう動作モードに入るときに、上記ECC回路を用いて複数のデータに対して誤り検出訂正用の検査ビットを生成して記憶させ、上記リフレッシュ周期設定回路により上記検査ビットを用いた誤り訂正動作によるエラー発生の特許範囲内でリフレッシュ周期を長くし、上記データ保持動作から通常動作に戻る前に、上記ECC回路により上記データと検査ビットを用いてデータの誤りビットを訂正することにより、落ちこぼれビットでのエラーは訂正可能となるからリフレッシュ周期を長くでき、しかもECC動作を行わないから大幅な低消費電力化を図ることができるという効果が得られる。

【0128】(4) 上記に加えて、上記検査ビットを上記メモリ回路に含まれるメモリセルに記憶させることにより、使い勝手がよく回路の簡素化を図ることができるという効果が得られる。

【0129】(5) 上記に加えて、上記ECC回路を巡回符号を用いて2ビット以上の訂正能力を持ち、メモリ回路の1つのワード線の選択動作によって読み出されるメモリセルにおいてデータ及び検査ビットを記憶させるとともに、ページモードによって上記1つのワード線に対応したデータ及び検査ビットの読み出しと書き込みとを行うようにすることにより、簡単な構成で高速に検査ビットの生成と記憶及び誤りビットの訂正を行うようにすることができるという効果が得られる。

【0130】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、メモリ回路は、前記のようなダイナミック型メモリセルを用いるものであれば何であってよい。つまり、メモリアレイ部は、前記のような2交点方式のもの他、センスアンプを中心にして相補ビット線を左右に延長させるという、いわゆる1交点方式又はオープンビット線方式とするものであってもよい。

【0131】前記パリティビットを記憶するエリアは、格別に設けることなくソフトウェアにより予め決められたパリティビット用のエリアを確保するようデータエリアを制限するものであってもよい。つまり、上記内蔵のECCに対応してパリティビット用のエリアを確保しておいて、前記のようなデータ保持モードに入るときに上記ECC回路を活性化させるようにして使用する。このような内蔵のECC回路を用いる場合は、小規模のシステムに好適なものである。

【0132】これに対して、大規模なシステムでは、DRAMに格納されたデータのうち必要なデータは、SRAMや磁気メモリ等の不揮発性メモリに退避させることができるから、DRAMに対してデータ保持動作を行わ

せることが不要となる。したがって、大規模なシステムでは、上記DRAMのパリティビット用のエリアをデータ記憶に使えるようにした方が有益となる。したがって、メモリアレイに専用のパリティビット用のエリアを設けないDRAMでは、小規模システム及び大規模システム等に対応して使い分けができるものとなる。

【0133】この発明に係る前記説明したようなDRAMのデータ保持方法は、前記のようなDRAMに内蔵されたECC回路を用いて行うもの他、マイクロコンピュータシステムでのソフトウェアによっても同様に実施することもできる。つまり、CPU自体もスリープモードに入るときに、DRAMのデータを読み出して前記のようなECC動作によってパリティビットを生成し、それをDRAM自身あるいはSRAMに記憶させて、前記のような長い周期でのセフルリフレッシュ動作を指示する。CPUがスリープモードから復帰するとき、DRAMのデータとそれに対応したパリティビットを読み出して上記データ保持状態で発生したDRAMのエラーを訂正すればよい。また、データ保持動作をCPU等により管理できるように、前記スリープモードの動作に代えて、CPU等によるリフレッシュを管理できるような機能を付加するものであってもよい。

【0134】この発明は、SDRAMのようなDRAMチップの他、システムLSI等のようにDRAMを搭載した半導体集積回路装置にも同様に適用することができる。この発明は、DRAMのデータ保持方法及びDRAMを含む半導体集積回路装置に広く利用することができる。

【0135】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。DRAMがデータの保持動作のみを行なう動作モードに入るときに、複数のデータに対して誤り検出訂正用の検査ビットを生成して記憶させ、かかる検査ビットを用いた誤り訂正動作によるエラー発生の許容範囲内でリフレッシュ周期を長くしてリフレッシュ動作を行ない、上記データ保持動作から通常動作に戻る前に、上記データと検査ビットを用いて誤りビットを訂正することにより、落ちこぼれビットでのエラーは訂正可能となるからリフレッシュ周期を長くでき、しかもECC動作を行わないから大幅な低消費電力化を図ることができる。

【0136】ダイナミック型メモリセルを含み、他の回路との間で読み出しと書き込み動作を行なわない情報保持モードを有するメモリ回路とECC回路及びリフレッシュ周期設定回路を有するデータ保持制御回路とを備え、ダイナミック型RAMがデータの保持動作のみを行なう動作モードに入るときに、上記ECC回路を用いて複数のデータに対して誤り検出訂正用の検査ビットを生成して記憶させ、上記リフレッシュ周期設定回路により

上記検査ビットを用いた誤り訂正動作によるエラー発生の許容範囲内でリフレッシュ周期を長くし、上記データ保持動作から通常動作に戻る前に、上記ECC回路により上記データと検査ビットを用いてデータの誤りビットを訂正することにより、落ちこぼれビットでのエラーは訂正可能となるからリフレッシュ周期を長くでき、しかもECC動作を行わないから大幅な低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】この発明に係るDRAMの一実施例を示す全体ブロック図である。

【図2】この発明に係るDRAMの他の一実施例を示す全体ブロック図である。

【図3】この発明に係るDRAMの一実施例を示す回路図である。

【図4】DRAMのリフレッシュ周期とスタンバイ電流の関係を説明するため特性図である。

【図5】この発明が適用されたDRAMの一実施例のコマンド真理値図である。

【図6】この発明に係るDRAMの一実施例の基本OSCの状態遷移図である。

【図7】この発明に係るDRAMの一実施例の内部電源の状態遷移図である。

【図8】DRAMのポーズリフレッシュ特性図である。

【図9】この発明に係るECC適用後のポーズリフレッシュ特性図である。

【図10】DRAMのポーズリフレッシュ特性の温度依存性を説明するための特性図である。

【図11】DRAMのポーズリフレッシュ特性の温度依存性の特性図である。

【図12】DRAMのも重訂正符号(BCH符号)のポーズ不良ビット訂正能力を説明するための特性図である。

【図13】DRAMのも重訂正符号(BCH符号)の情報ビット長(k)とパリティビット(n-k)の関係を説明するための特性図である。

【図14】(72, 64)符号(修正ハミング符号, 1ビット訂正2ビット検出)の生成行列の一例のビットパターン図である。

【図15】(72, 64)符号(修正ハミング符号, 1ビット訂正2ビット検出)の検査行列の一例のビットパターン図である。

【図16】この発明に用いられるECC回路の一実施例を示す概略回路図である。

【図17】この発明に用いられる符号長255ビットの巡回ハミング符号の復号回路の一実施例を示す概略回路図である。

【図18】この発明に用いられる符号長255ビットの巡回ハミング符号の符号化回路の一実施例を示す概略回路図である。

【図19】この発明に用いられる符号長255ビットの巡回ハミング符号のECC回路（符号化復号回路）の一実施例を示す概略回路図である。

【図20】この発明に用いられる符号長32767ビットの巡回ハミング符号のECC回路の一実施例を示す概略回路図である。

【図21】この発明に係るSDRAMのリフレッシュ動作の一実施例を示すタイミング図である。

【図22】この発明に係るECC回路を用いたダイナミックRAMのデータ保持方法を説明するための一部のタイミング図である。

【図23】この発明に係るECC回路を用いたダイナミックRAMのデータ保持方法を説明するための他の一部のタイミング図である。

【図24】この発明に係るECC回路を用いたダイナミックRAMのデータ保持方法を説明するための残り一部のタイミング図である。

【図25】この発明に係るECC回路を用いたダイナミックRAMのデータ保持方法を説明するためのタイミング図である。

【図26】この発明に係るECC回路を用いたダイナミックRAMのデータ保持方法を説明するためのタイミング図である。

【図27】この発明に係るDRAMの一実施例のメモリエリア利用図である。

【図28】この発明に係るDRAMの他の一実施例のメモリエリア利用図である。

【図29】この発明に係るDRAMの他の一実施例のメモリエリア利用図である。

【図30】この発明に係るSDRAMの更に他の一実施例のメモリエリア利用図である。

【図31】この発明に用いられるセルリークモニタ回路

に用いられる電圧設定回路の一実施例を示す回路図である。

【図32】この発明に用いられるセルリークモニタ回路を用い発振回路の一実施例を示す回路図である。

【図33】キャリア発生機構の模式図である。

【図34】この発明に係るセルリークモニタ方式の一実施例の基本OSC動作波形図である。

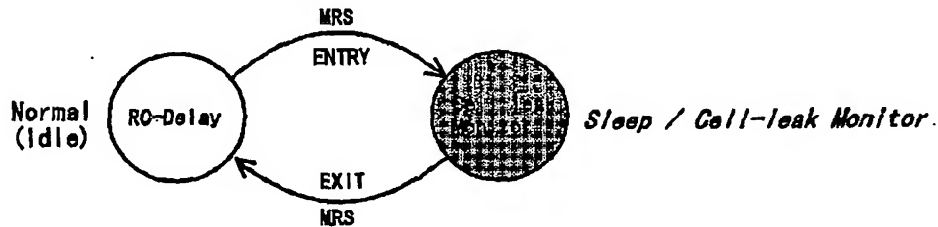
【図35】この発明に係るDRAMにおけるスリープモード（スーパーロウパワーモード）時の内部電源制御動作を説明するための波形図である。

【図36】この発明に係るDRAMに設けられる内部降圧電源の一実施例を示す回路図である。

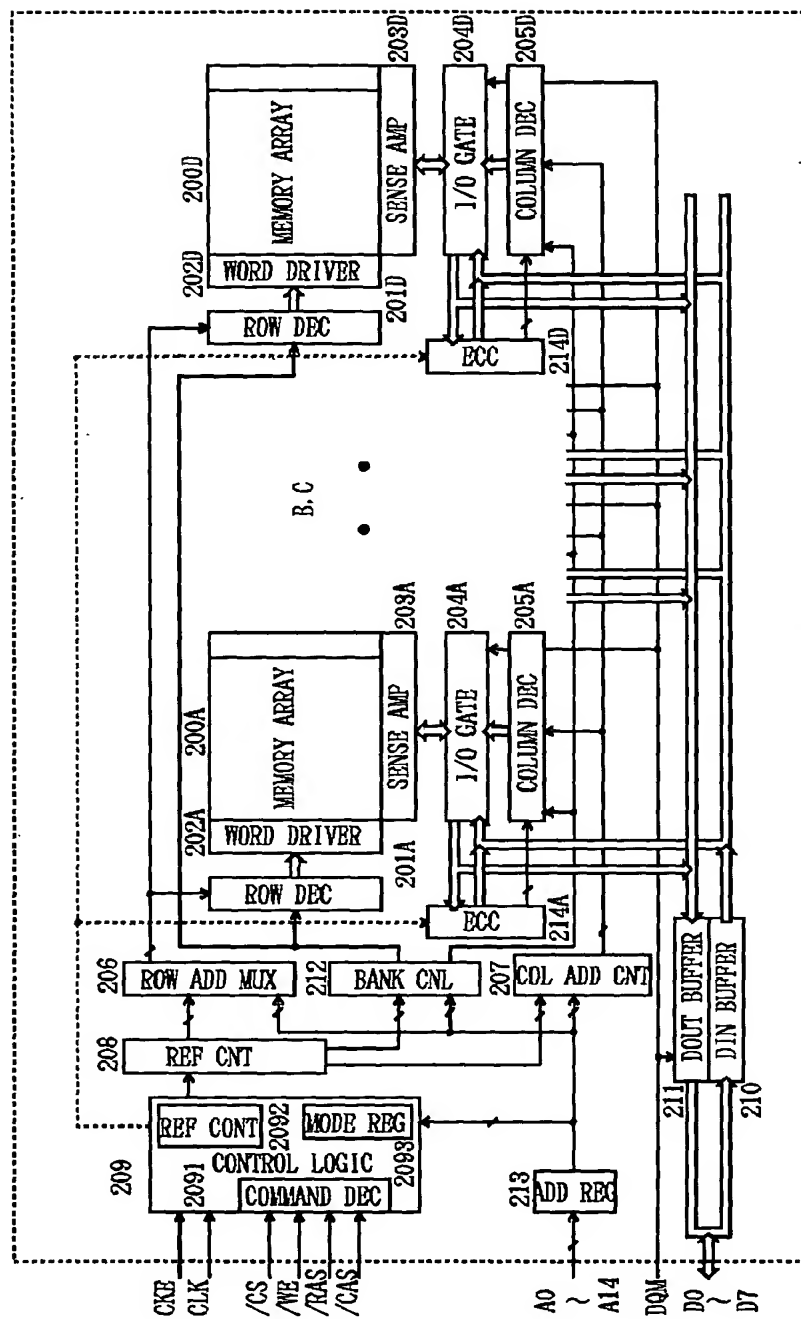
【符号の説明】

200A～D…メモリアレイ、201A～D…ロウデコード、202A～D…センスアンプ、203A～D…カラムデコード、204A～D…IOゲート、205A～D…カラムデコード、206…ロウアドレスマルチプレクサ、207…カラムアドレスカウンタ、208…リフレッシュカウンタ、209…コントロール回路、210…データ入力回路、211…データ出力回路、212…バンクコントロール回路、213…アドレスレジスタ、214A～D…ECC回路、2091…コマンドデコード、2092…リフレッシュ制御回路、2093…モードレジスタ、Q1～Q51…MOSFET、N30～N41…インバータ回路、C30～C40…キャパシタ、11…メインロウデコード、12…メインワードドライバ、15…サブアレイ（メモリマット）、16…センスアンプ、17…サブワードドライバ、18…交差領域、51…アドレスバッファ、52…プリデコード、53…カラムデコード、61…メインアンプ、62…出力バッファ、63…入力バッファ。

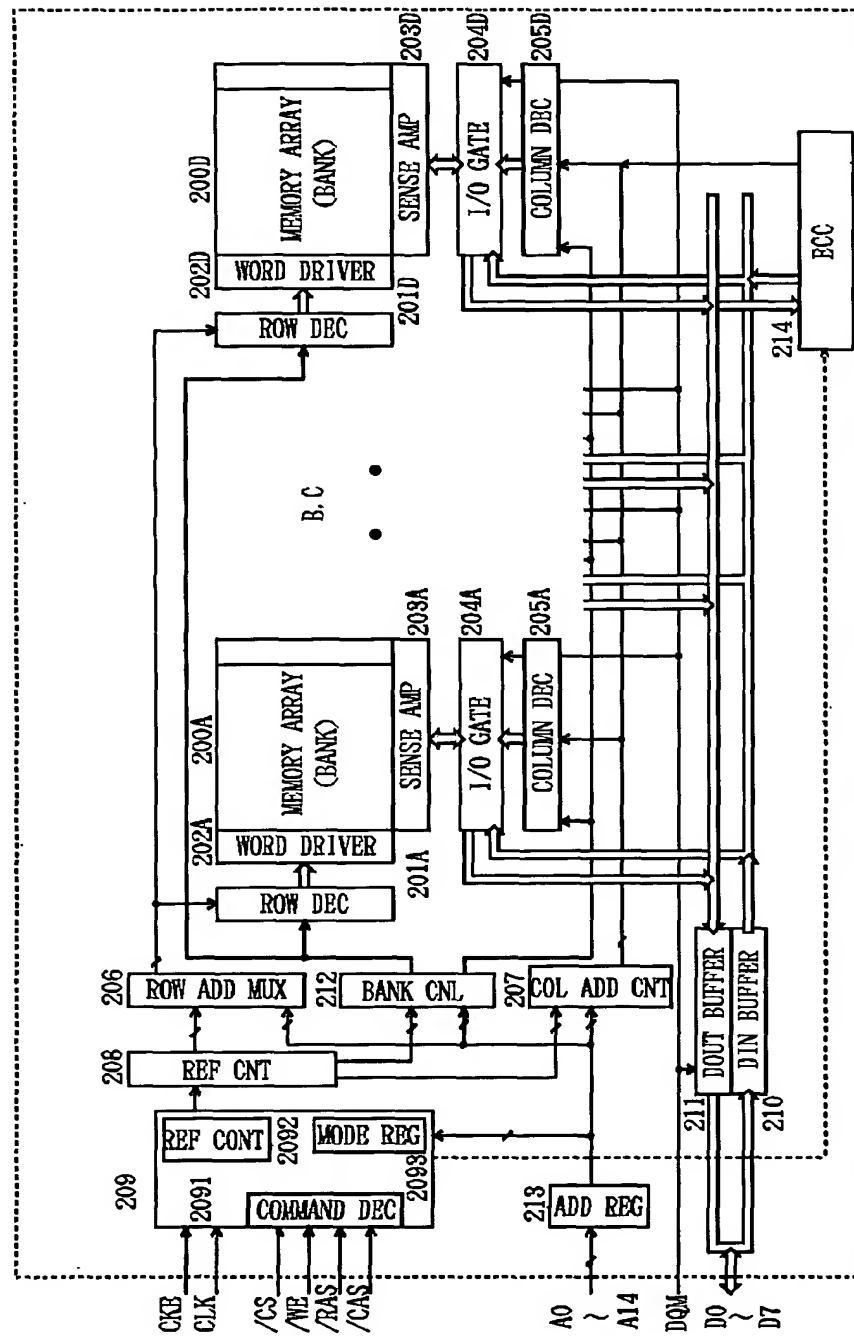
【図6】



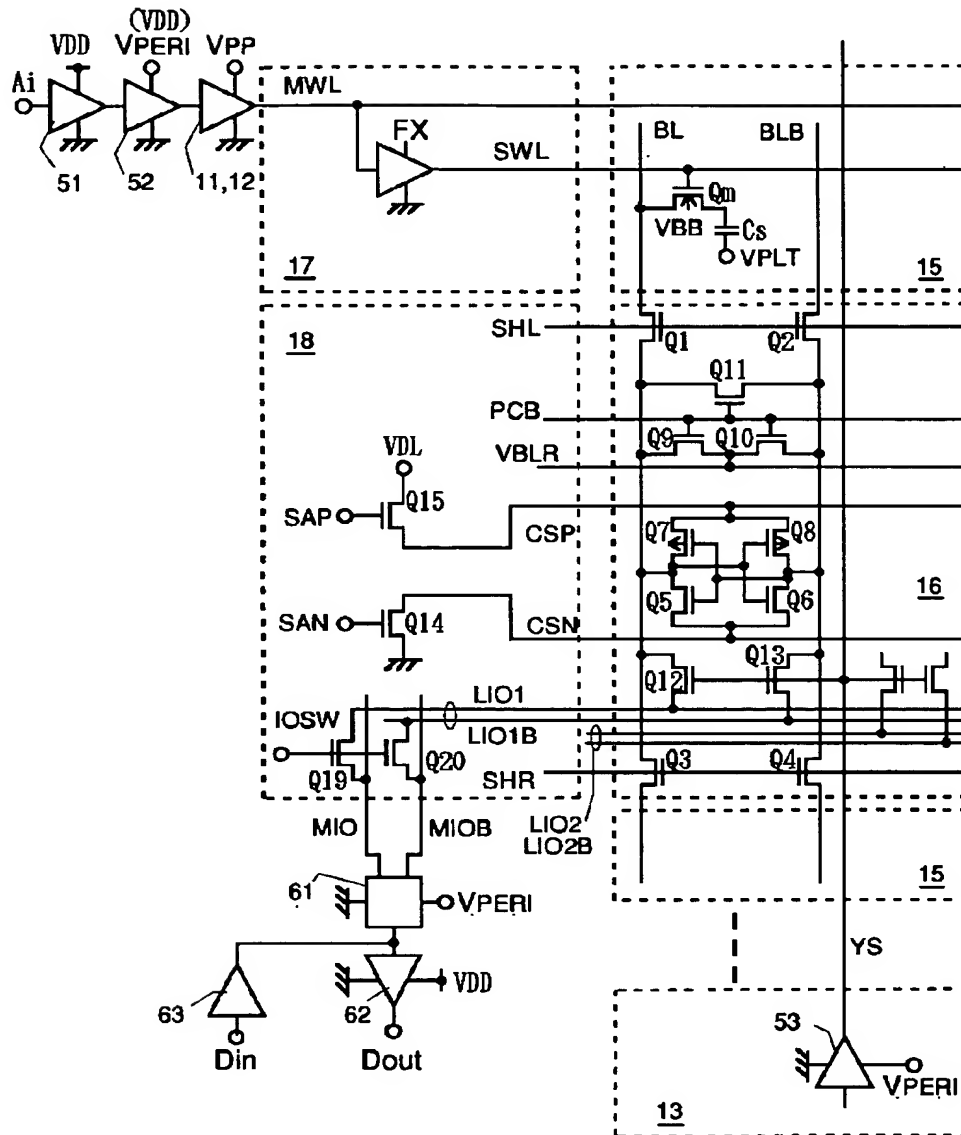
【図1】



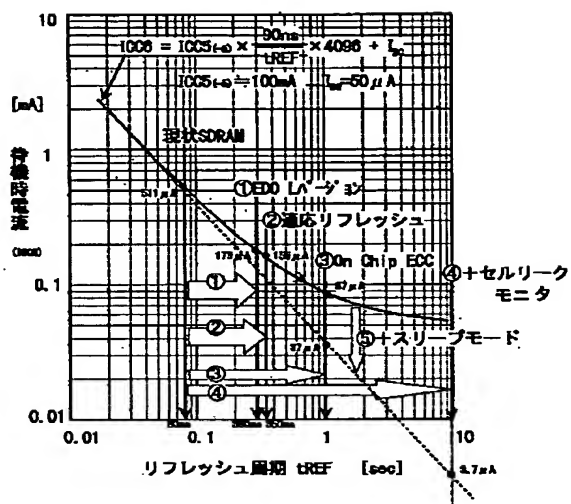
【図2】



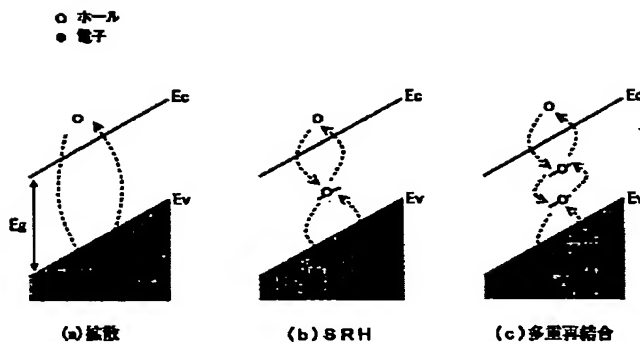
【図3】



【図4】



【图33】



【キャリア発生機構の分類】

【图5】

BA1	BA0	A12	A11	A10	A9	A8		
	A13	A12	A11	A10	A9	A8		
OPCODE								
0	0	0	0	0	0	0	バーストリード/バーストライト	
0	0	0	X	X	0	1	ライトモード	
0	0	0	X	X	1	0		バーストリード/バーストライト
0	0	0	X	X	1	1		R
0	0	1	X	X	0	0		スリープモード
0	1	0	X	X	0	0	セルリークモニタモード	
0	1	1	X	X	0	0	R	
0	0	1	X	X	0	1	スーパーロウパワーモード	
0	1	0	X	X	0	1		ECCバリティモード
0	1	1	X	X	0	1		ECCコレクトモード

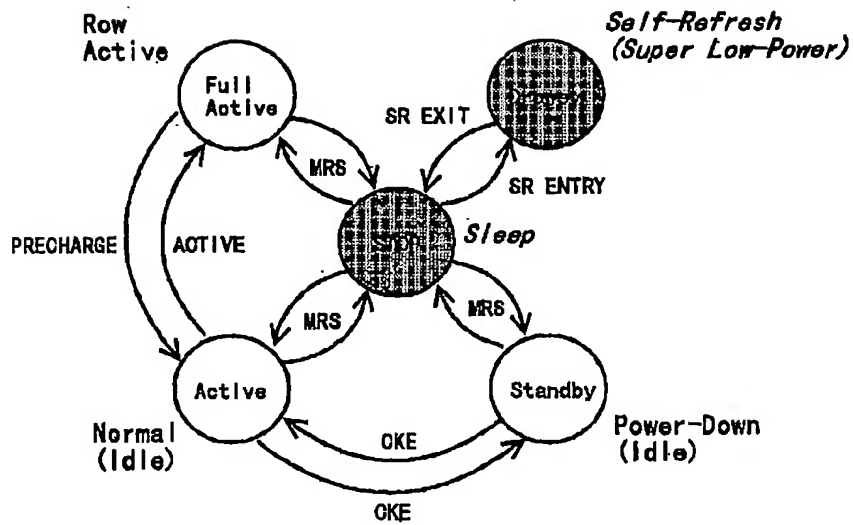
... 256Mb SDRAM

... 64Mb SDRAM

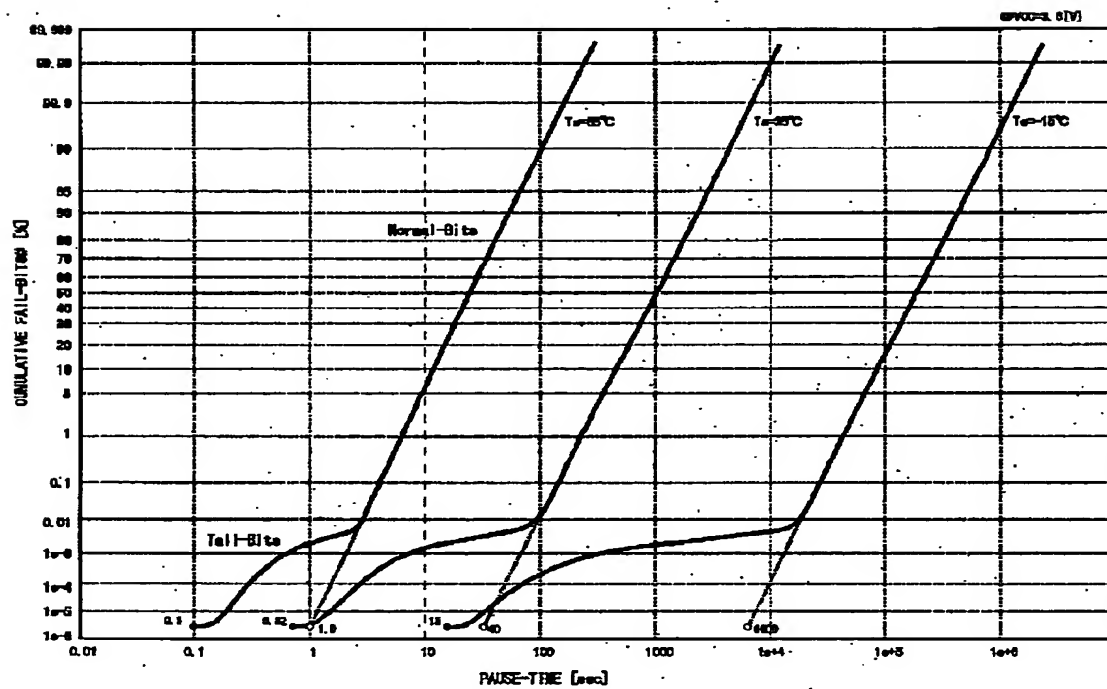
R is Reserved (inhibit)

X: 0 or 1

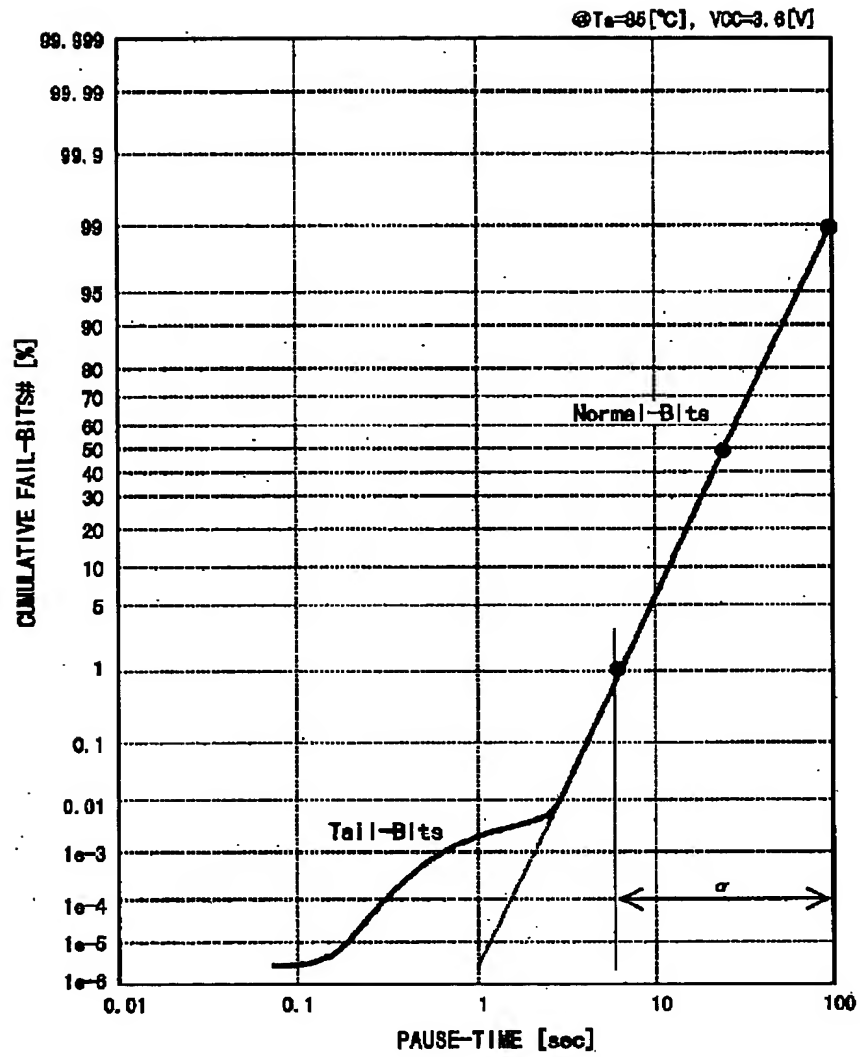
【図7】



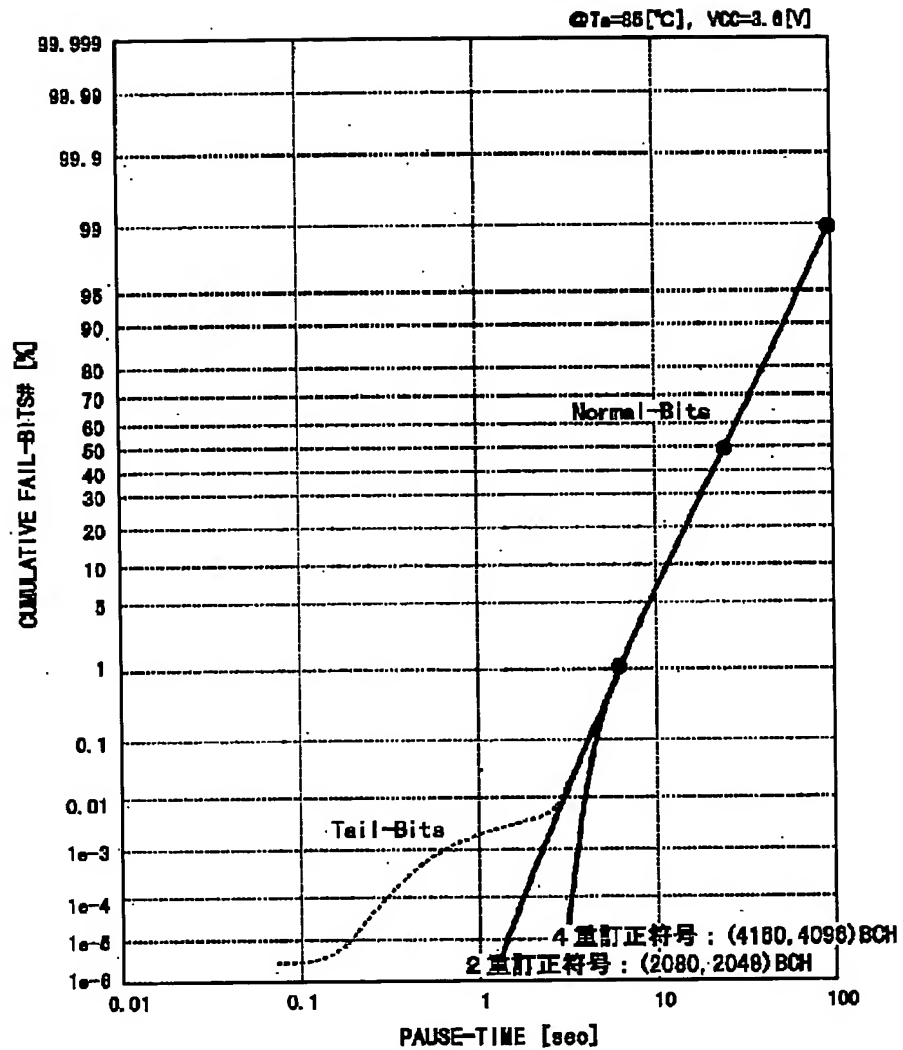
【図10】



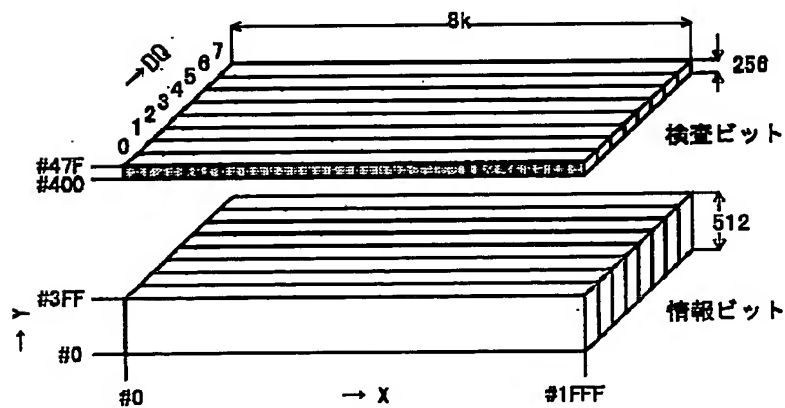
【図8】



【図9】



【図29】

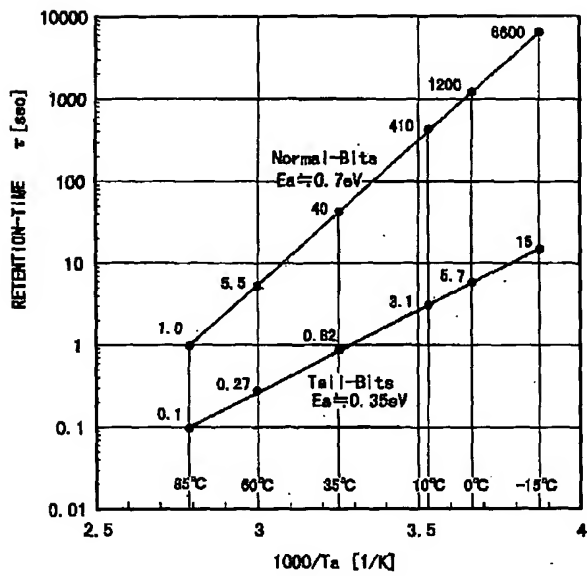


【図11】

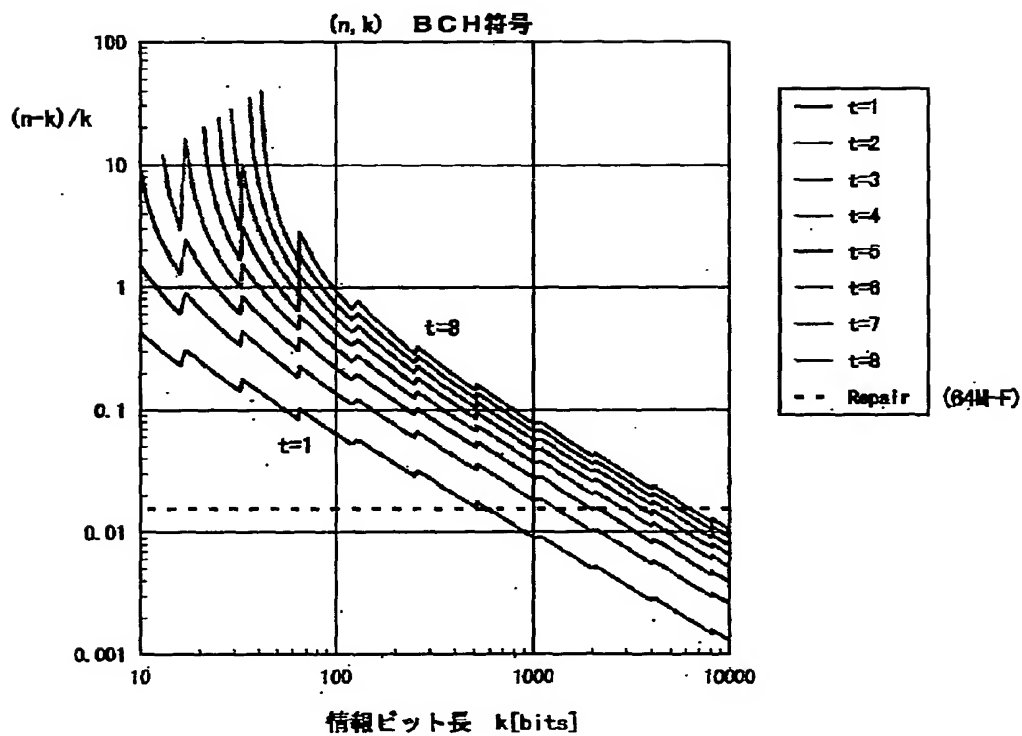
$$\tau \propto \exp(E_a / (k \times T_a))$$

E_a : 活性化エネルギー

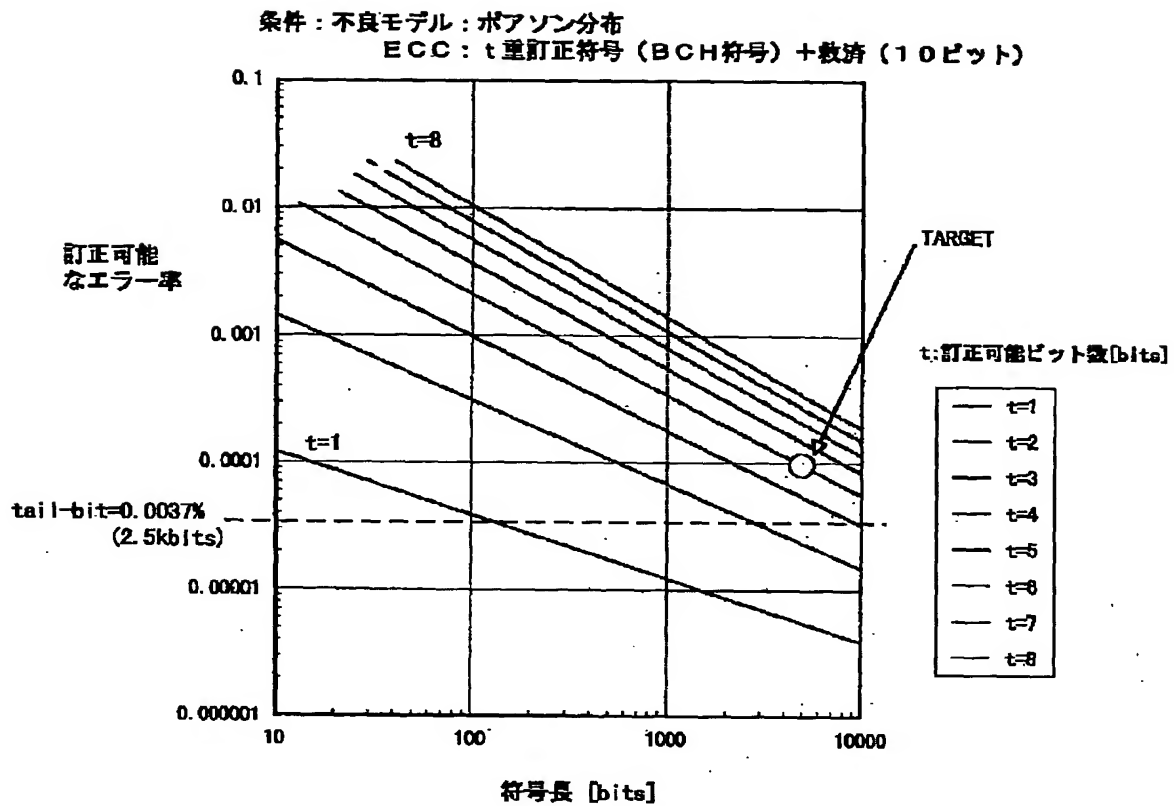
k : ボルツマン定数 1.38×10^{-23} [J/K]



【図13】



【図12】



【図14】

$$X \cdot G = P$$

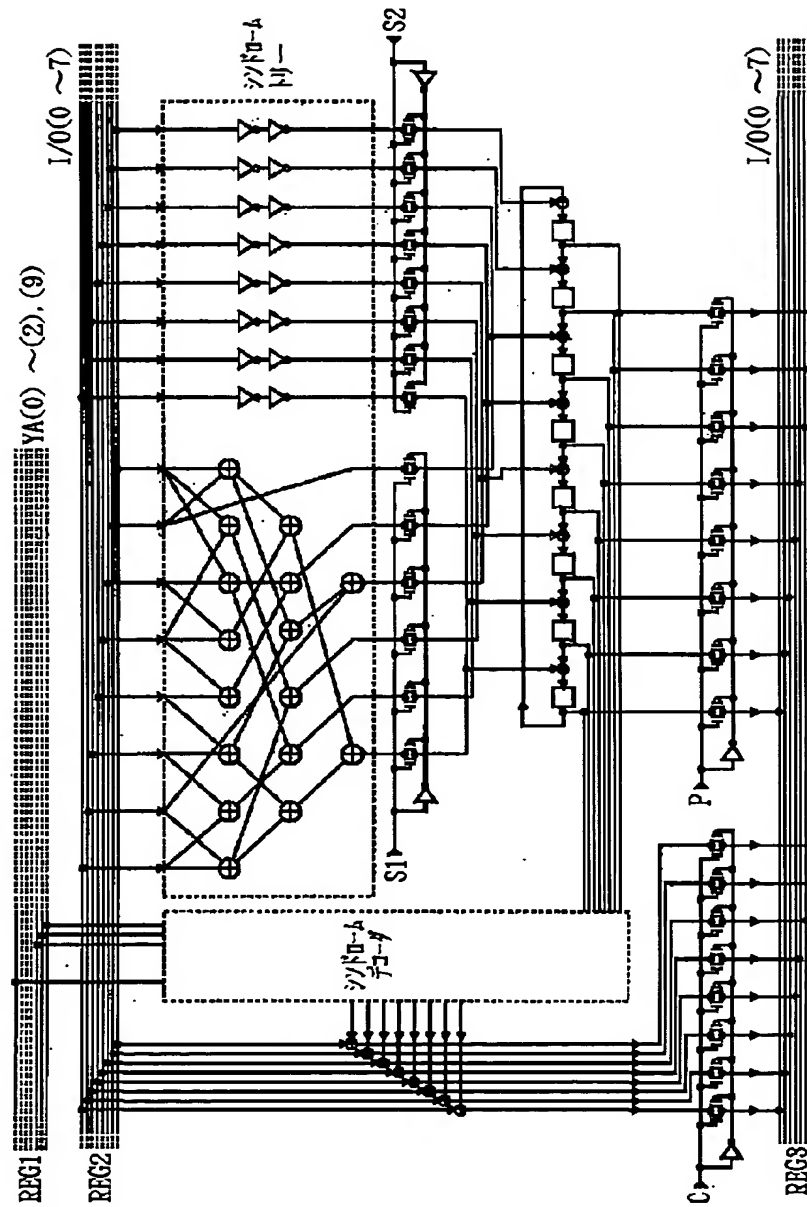
$$G = \begin{pmatrix} 11111111 & 00000000 & 00000000 & 00000010 & 00011101 & 01110011 & 11001001 & 10100101 \\ 10100101 & 11111111 & 00000000 & 00000000 & 00000010 & 00011101 & 01110011 & 11001001 \\ 11001001 & 10100101 & 11111111 & 00000000 & 00000000 & 00000010 & 00011101 & 01110011 \\ 01110011 & 11001001 & 10100101 & 11111111 & 00000000 & 00000000 & 00000010 & 00011101 \\ 00011101 & 01110011 & 11001001 & 10100101 & 11111111 & 00000000 & 00000000 & 00000010 \\ 00000010 & 00011101 & 01110011 & 11001001 & 10100101 & 11111111 & 00000000 & 00000000 \\ 00000000 & 00000010 & 00011101 & 01110011 & 11001001 & 10100101 & 11111111 & 00000000 \\ 00000000 & 00000000 & 00000010 & 00011101 & 01110011 & 11001001 & 10100101 & 11111111 \end{pmatrix}$$

例)

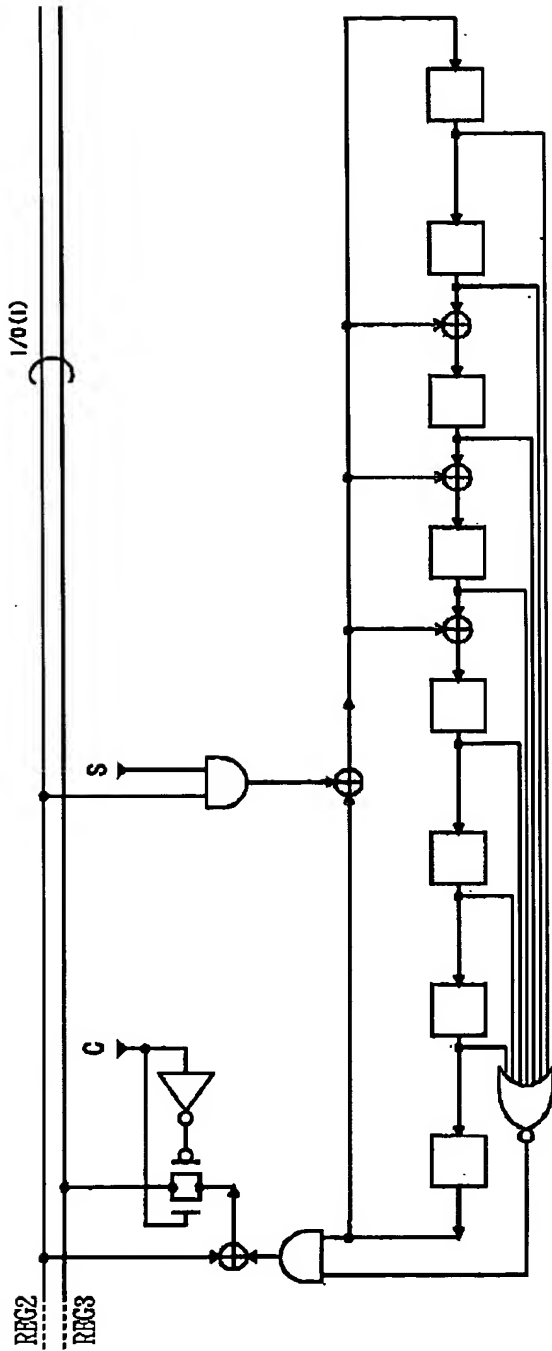
$$X = (00000001 \ 00000010 \ 00000100 \ 00001000 \ 00010000 \ 00100000 \ 01000000 \ 10000000)$$

$$P = (10011001)$$

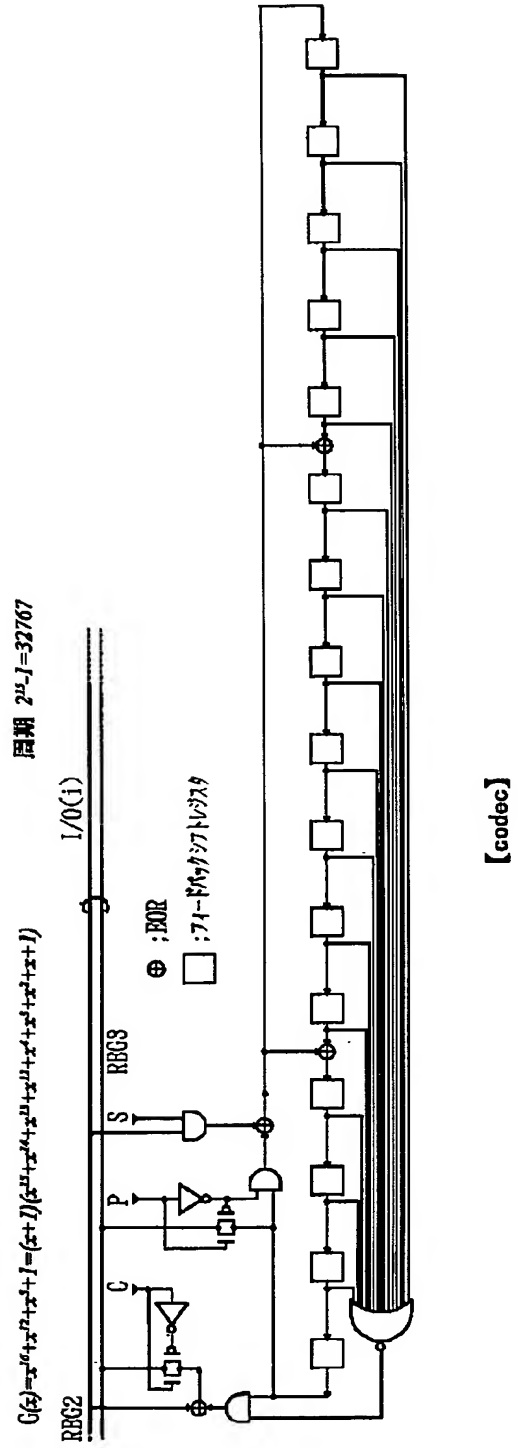
【図16】



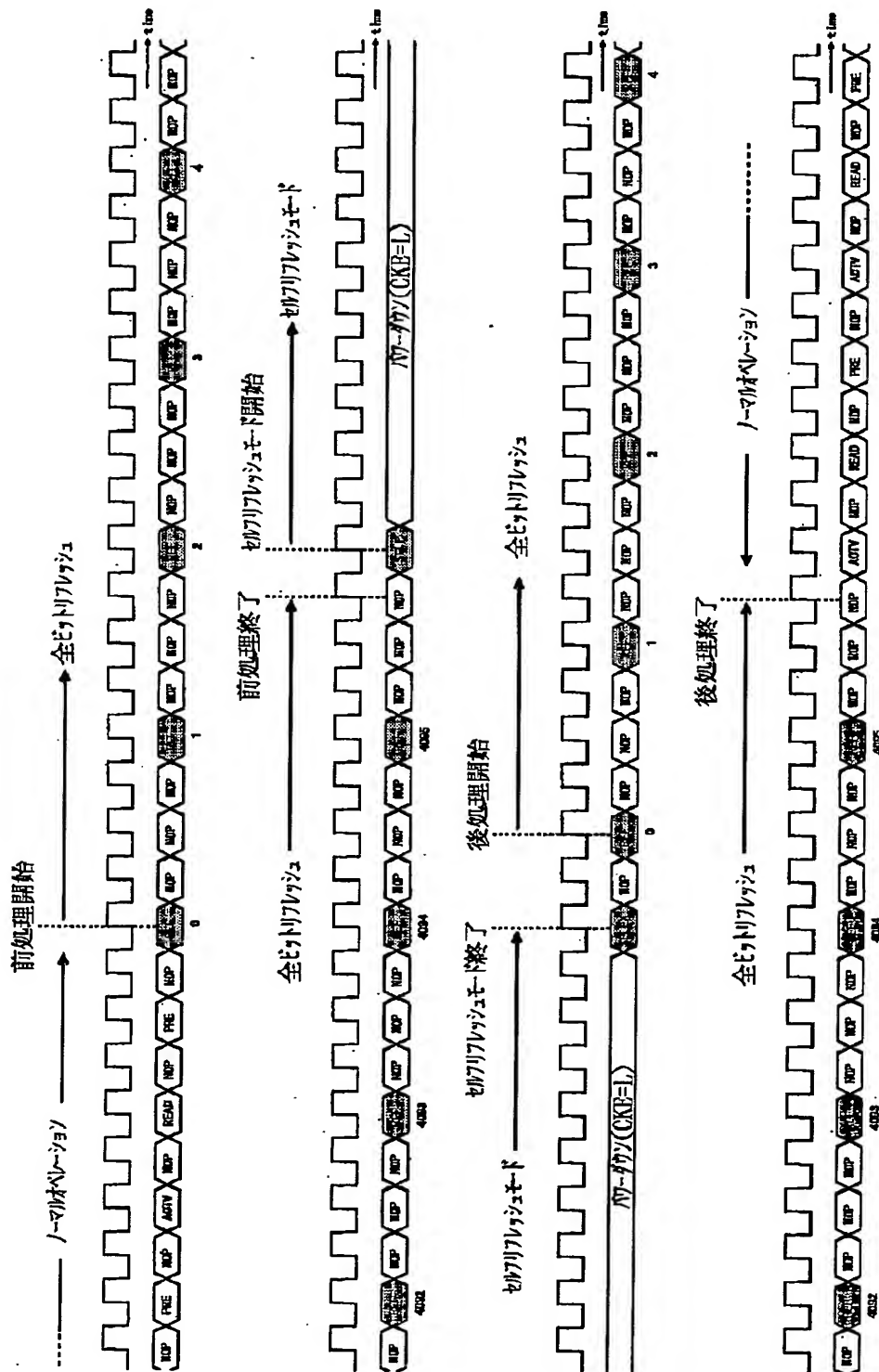
【図18】

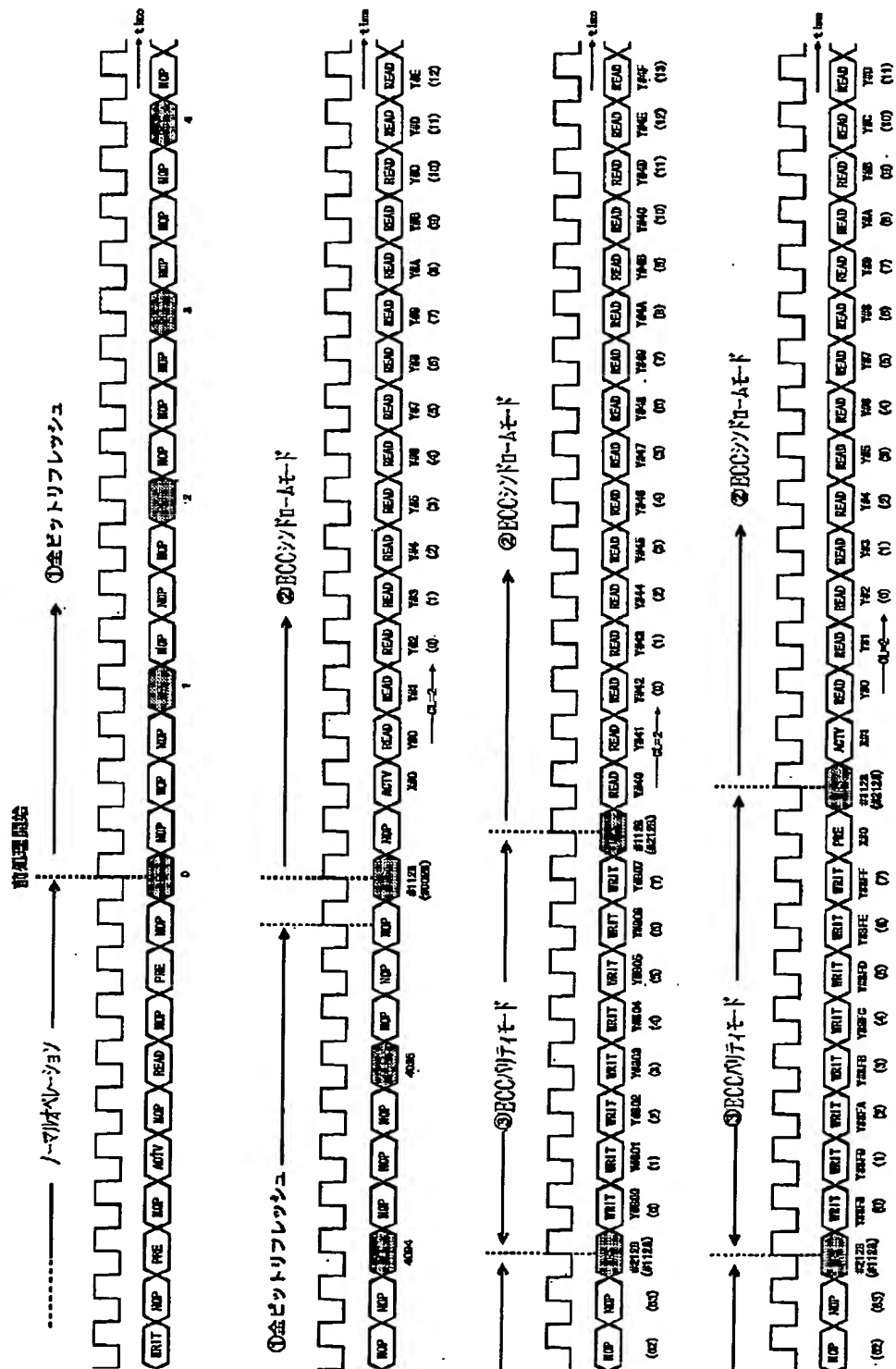


【図20】

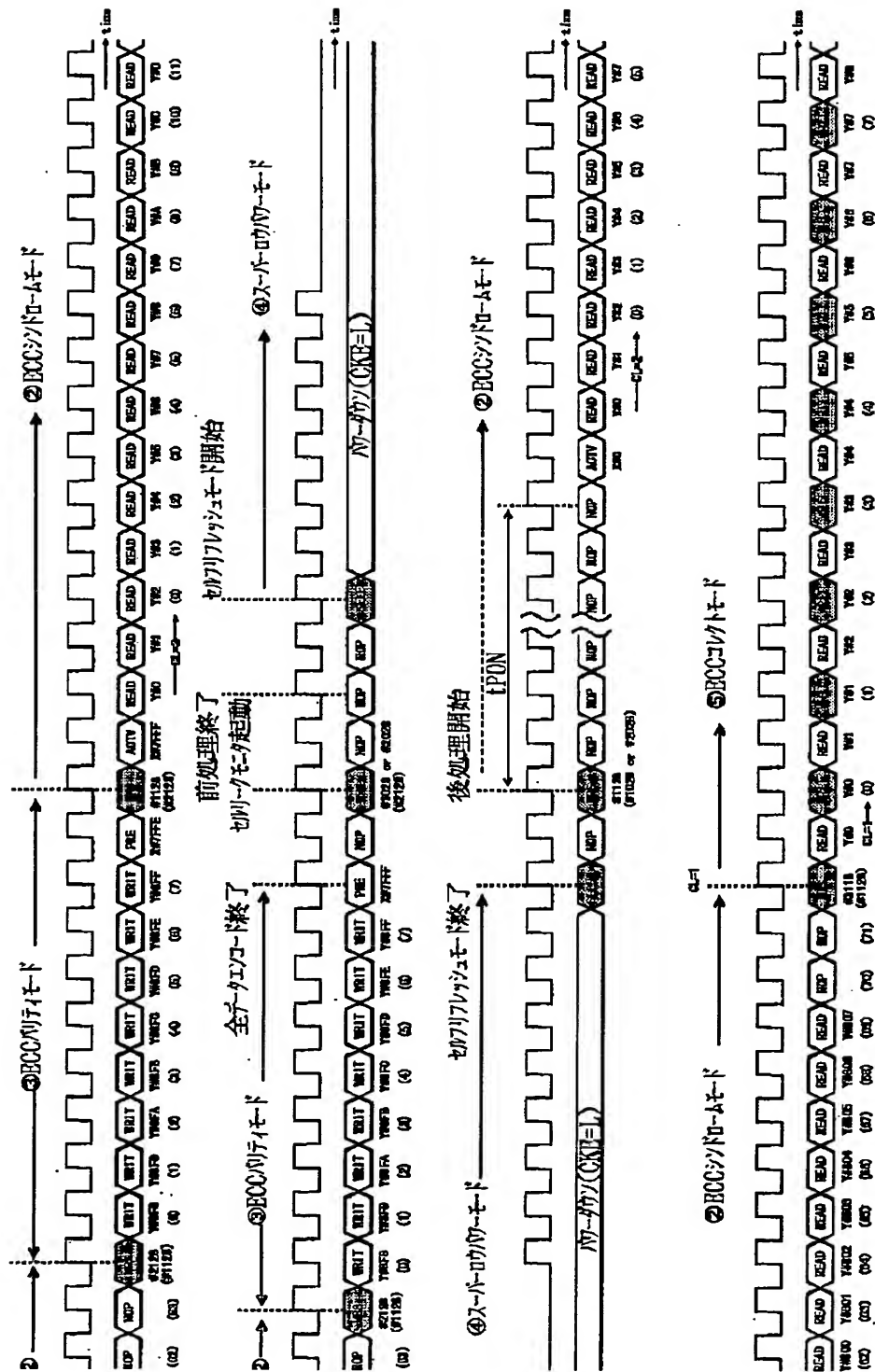


【図21】

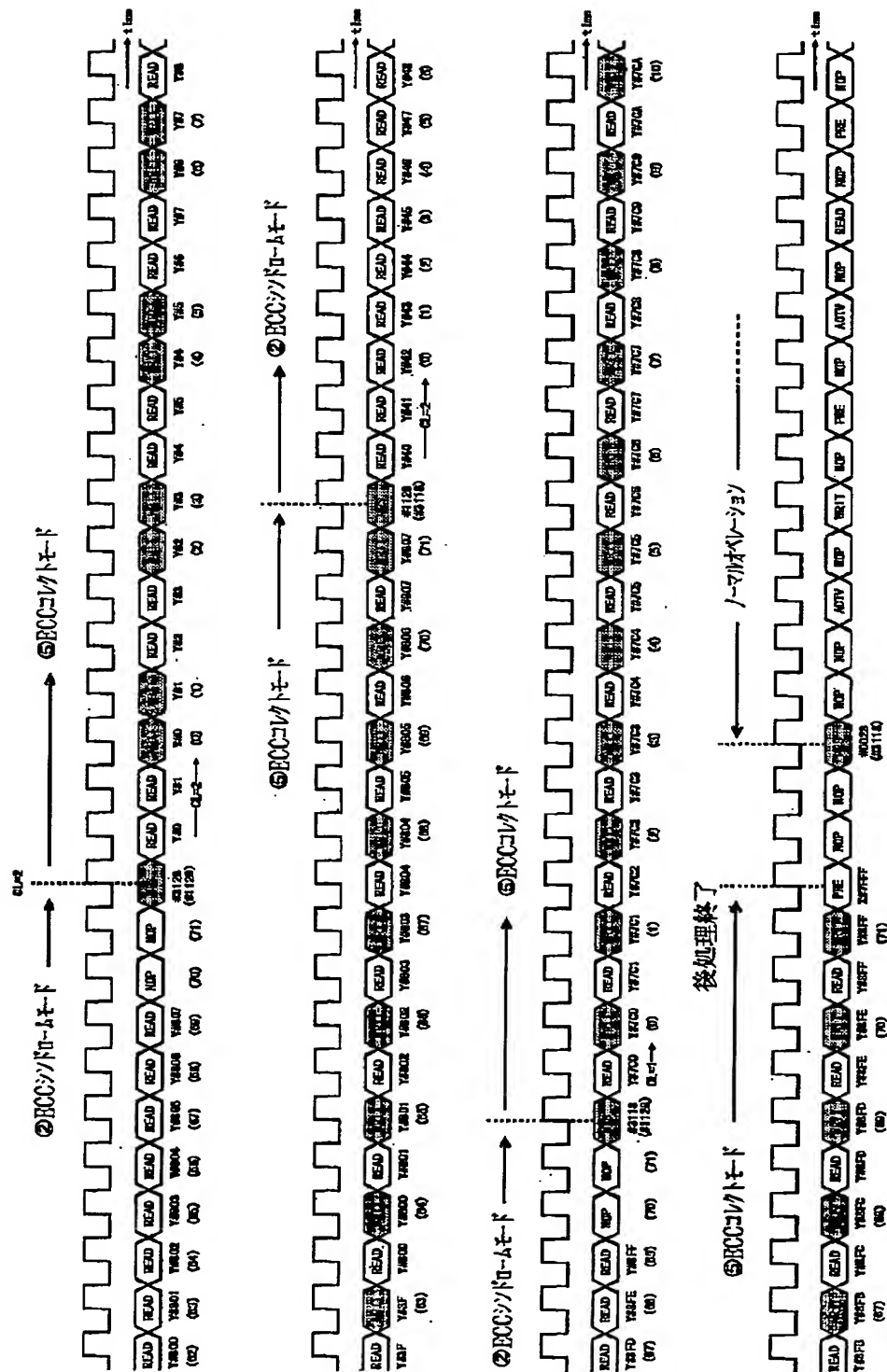




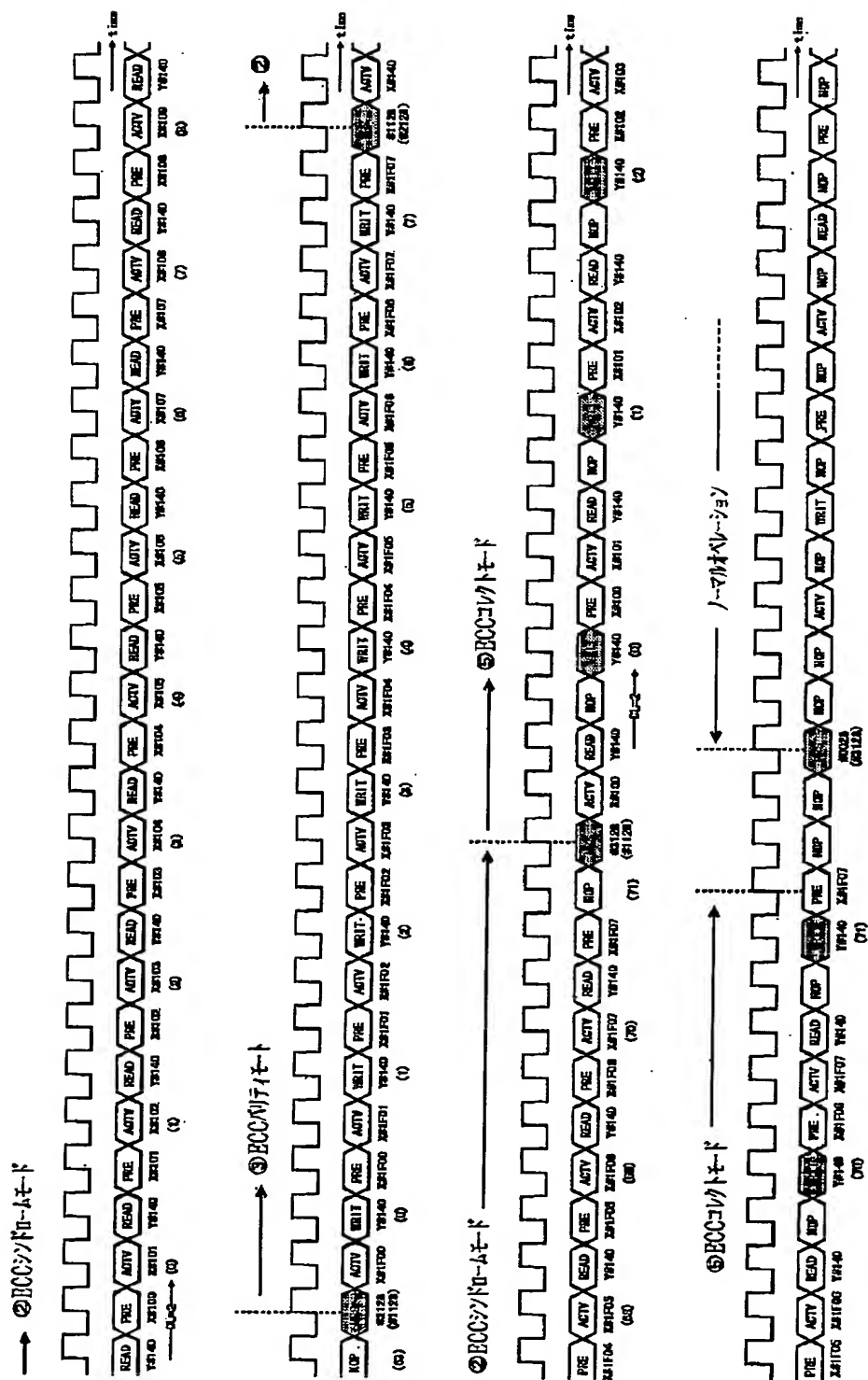
【図23】



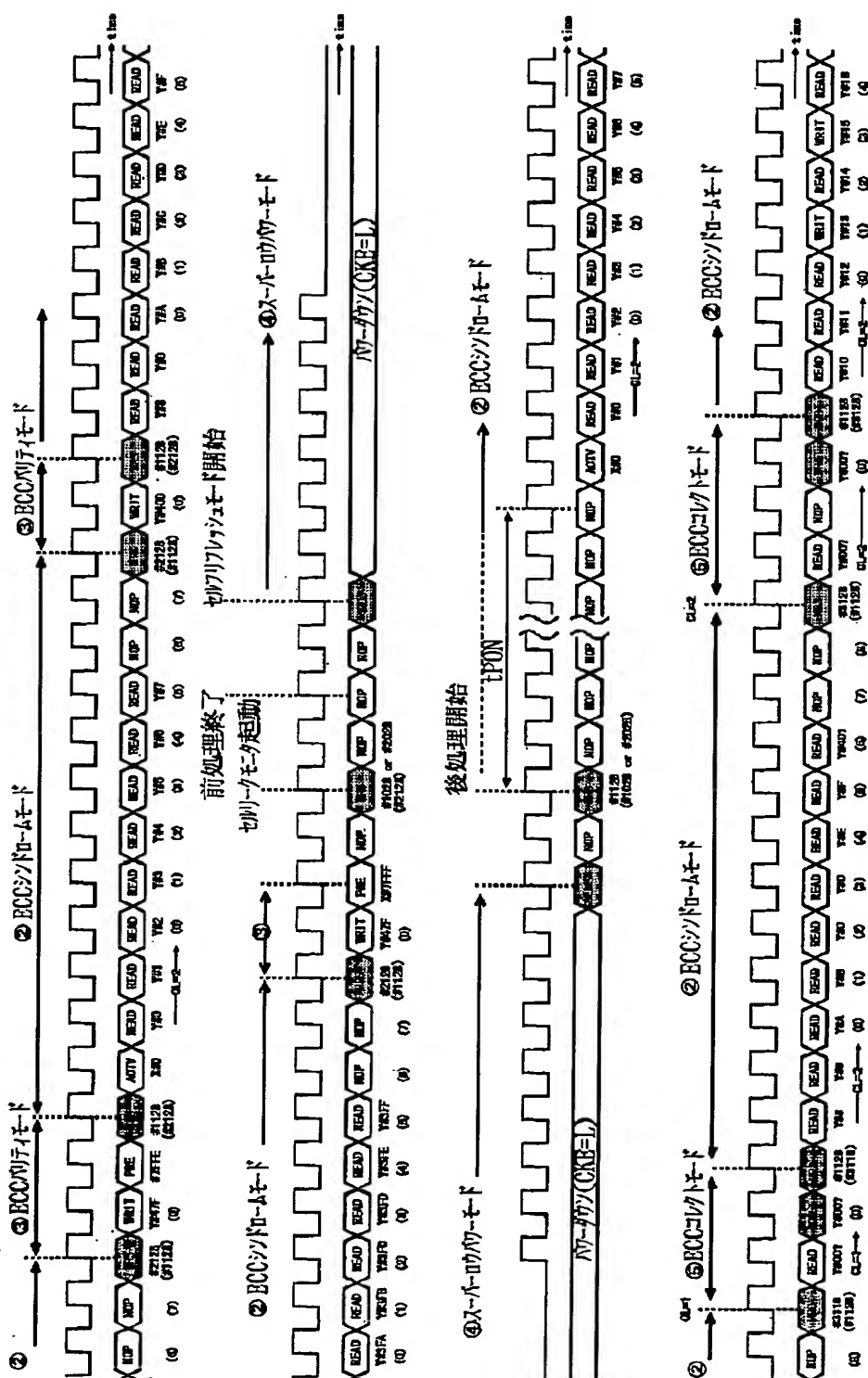
【図24】



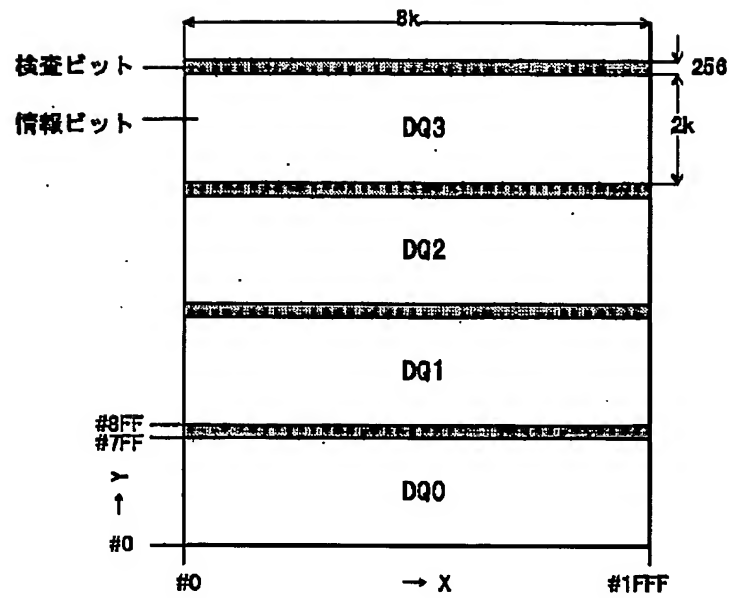
【図25】



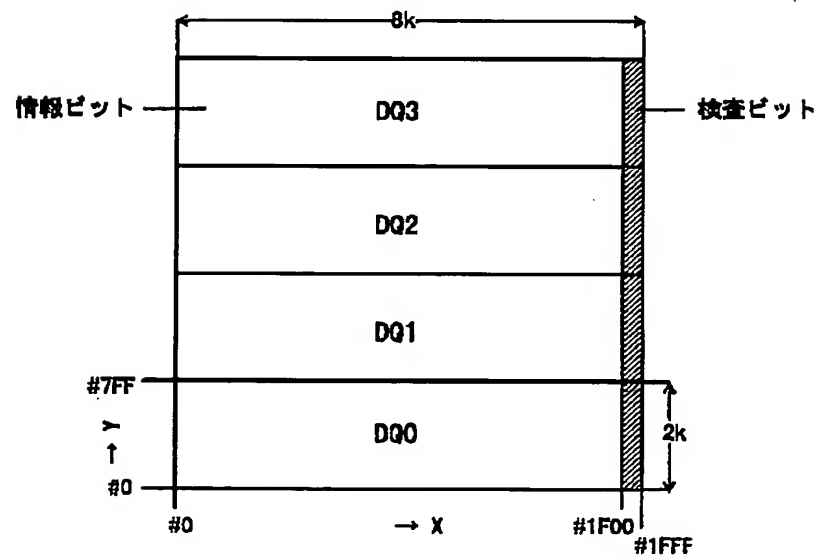
【図26】



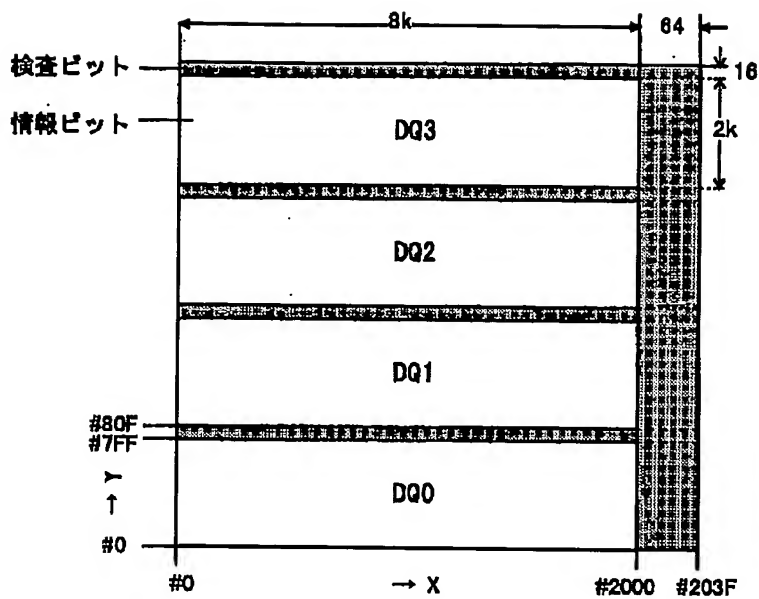
【図27】



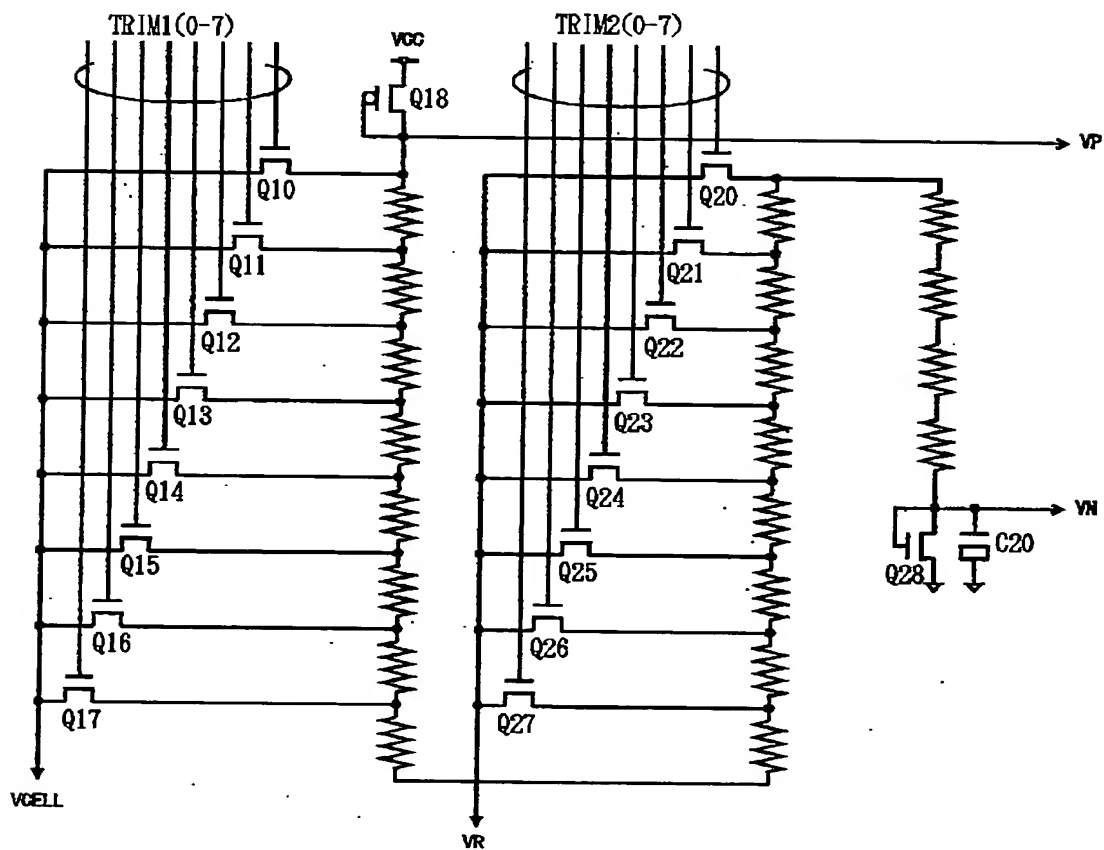
【図28】



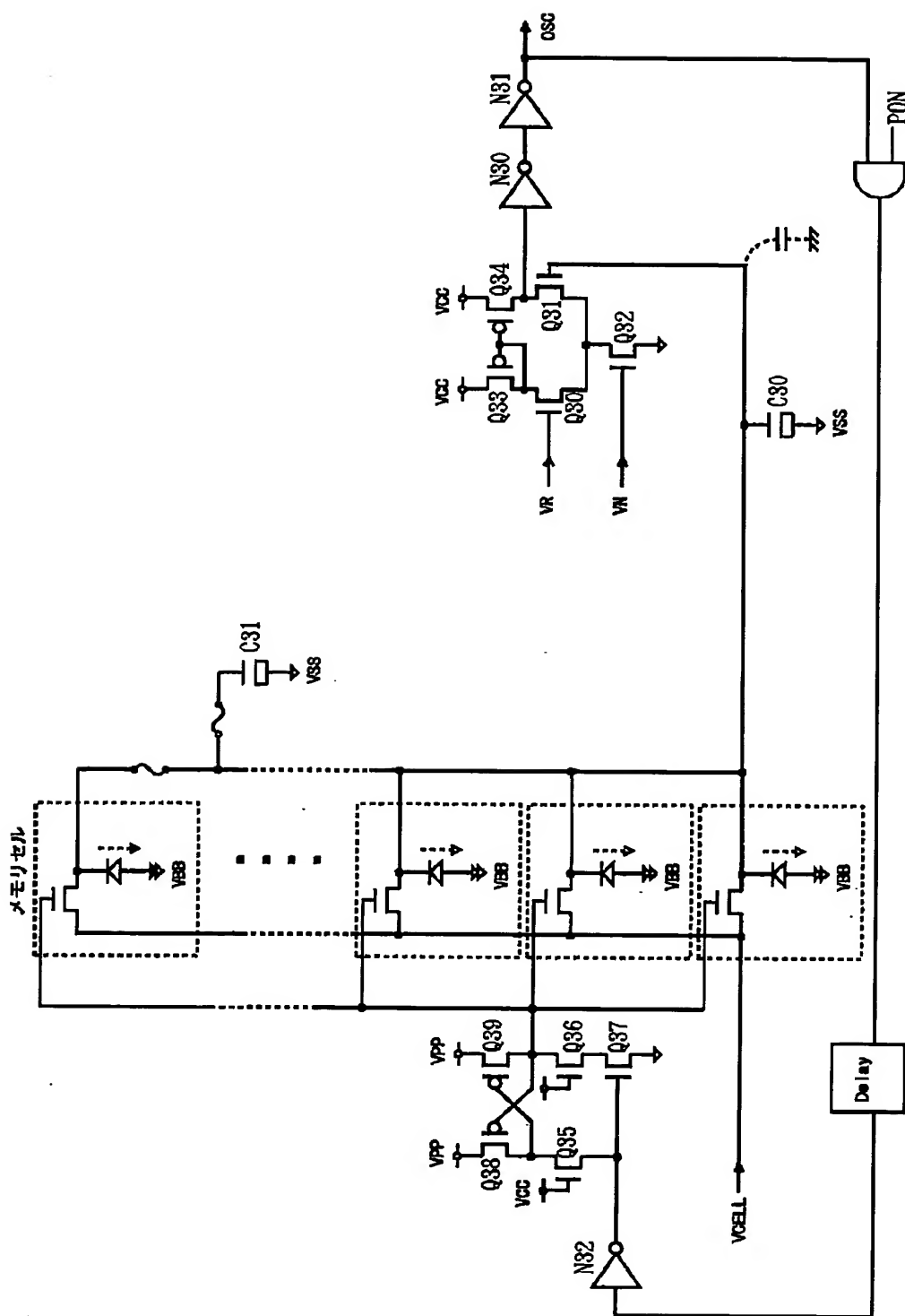
【図30】



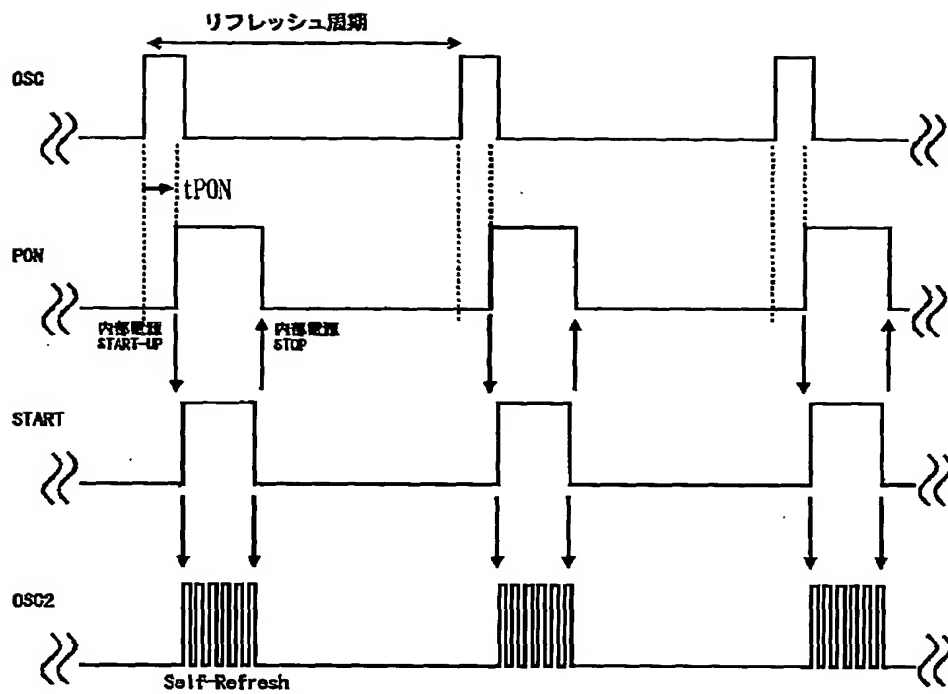
【図31】



【図32】

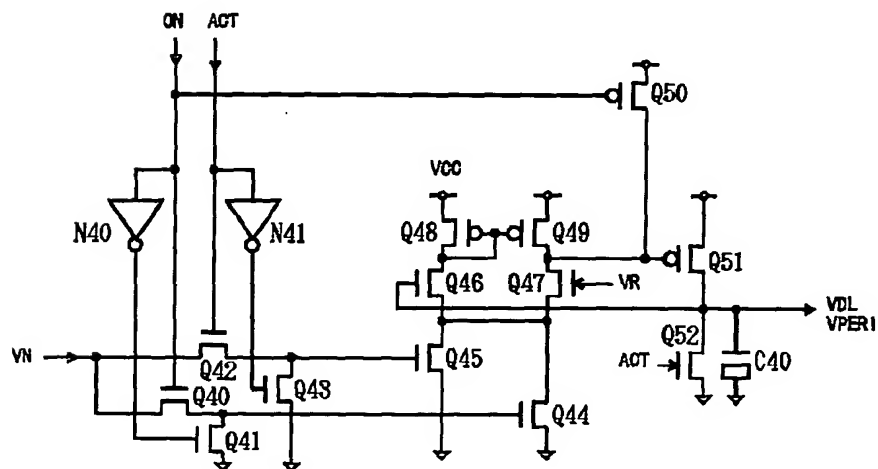


【図34】



スリープモード・OSC動作波形 (概要)

【図36】



【図35】

